

JAPANESE PATENT OFFICE

(11) Publication number: **60206063 A**

(43) Date of publication of application: **17.10.85**

H01L 27/14

(71) Applicant: **OLYMPUS OPTICAL CO LTD**

(72) Inventor: MATSUMOTO KAZUYA
NAKAMURA TSUTOMU

(57) Abstract:

COPYRIGHT: (C)1985,JPO&Japio

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A)

昭60-206063

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和60年(1985)10月17日

H 01 L 27/14

7525-5F

審査請求 未請求 発明の数 3 (全31頁)

⑭ 発明の名称 固体撮像素子および固体撮像装置

⑰ 特 願 昭59-59525

⑱ 出 願 昭59(1984)3月29日

⑲ 発 明 者 松 本 一 哉 東京都渋谷区幡ヶ谷2丁目43番2号 オリnbas光学工業株式会社内
⑲ 発 明 者 中 村 力 東京都渋谷区幡ヶ谷2丁目43番2号 オリnbas光学工業株式会社内
⑲ 出 願 人 オリnbas光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号
⑲ 代 理 人 弁理士 杉村 暁秀 外1名

明 細 書

1. 発明の名称 固体撮像素子および固体撮像装置

2. 特許請求の範囲

1. 絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、静電誘導トランジスタのソース領域およびドレイン領域を設けると共に、これらソース領域およびドレイン領域の少なく共一方の領域を完全に囲むように光信号を蓄積するゲート領域を設け、前記半導体層の表面と平行にソース・ドレイン電流が流れるように構成したことを特徴とする固体撮像素子。
2. 前記ゲート領域を、前記ソース領域およびドレイン領域の双方を完全に囲むように設けたことを特徴とする特許請求の範囲第1項記載の固体撮像素子。
3. 前記ソース領域またはドレイン領域を完全に囲むように前記ゲート領域を設けると共に、このゲート領域の外側に前記ドレイン領域ま

たはソース領域を設けることを特徴とする特許請求の範囲第1または2項記載の固体撮像素子。

4. 前記半導体層の、前記ソース領域、ドレイン領域およびゲート領域を形成する領域を、該半導体層とは逆導体形の拡散層より成る分離領域によって取囲んだことを特徴とする特許請求の範囲第1、2または3項記載の固体撮像素子。
5. 前記分離領域を、最外側に形成したドレイン領域またはソース領域をもって構成したことを特徴とする特許請求の範囲第4項記載の固体撮像素子。
6. 前記ゲート領域を複数個設けたことを特徴とする特許請求の範囲第1、2、3、4または5項記載の固体撮像素子。
7. 前記ゲート領域を、前記半導体層中に形成した逆導電形の領域と、この領域に接合して設けたゲート電極とより成る接合ゲート構造をもって構成したことを特徴とする特許請求

の図面第1, 2, 3, 4, 5または6項記載の固体撮像素子。

8. 前記ゲート領域を、前記半導体層表面に絶縁膜を介してゲート電極を設けた絶縁ゲート構造をもって構成したことを特徴とする特許請求の範囲第1, 2, 3, 4, 5または6項記載の固体撮像素子。

9. 前記絶縁膜に接する前記半導体層表面に、該半導体層とは逆導電形のゲート領域を設けたことを特徴とする特許請求の範囲第8項記載の固体撮像素子。

10. 前記ソース領域、ドレイン領域およびゲート領域を同心円状に設けたことを特徴とする特許請求の範囲第1, 2, 3, 4, 5, 6, 7, 8または9項記載の固体撮像素子。

11. 絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なくとも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面

15. 前記読み出し手段による読み出し特にゲート電圧を入射光強度に応じて調整する手段を設けたことを特徴とする特許請求の範囲第13項記載の固体撮像素子。

16. 絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なくとも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタを具える固体撮像素子を多数マトリックス状に配列したアレイと、このアレイの順次の固体撮像素子を、光電荷をゲート領域に蓄積する光信号蓄積時間中はソースおよびドレイン領域を逆バイアスして出力信号が生じないようにし、信号読み出し時間中はソースまたはドレイン領域を接地してゲート領域に蓄積された光電荷に応じたソース・ドレイン電流をビデオラインに流す走査手段とを具えることを特徴とす

と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタを具える固体撮像素子と、光信号蓄積時に前記ソースおよびドレイン領域を逆バイアスする手段とを具えることを特徴とする固体撮像素子。

12. 信号読み出し時に前記ソースまたはドレイン領域を接地して、ゲート領域に蓄積された光電荷に応じたソース・ドレイン電流を流す手段を設けたことを特徴とする特許請求の範囲第11項記載の固体撮像素子。

13. 前記信号読み出し手段による信号の読み出しを終了した後に、前記ゲート領域に蓄積されている光電荷を放出させるリセット手段を設けたことを特徴とする特許請求の範囲第11項記載の固体撮像素子。

14. 前記リセット手段を、半導体基体の逆バイアスを大きくしてゲート領域に蓄積されている光電荷を放出させるよう構成したことを特徴とする特許請求の範囲第13項記載の固体撮像素子。

る固体撮像素子。

17. 前記走査手段は、各固体撮像素子のソース端子を定電位に接続し、ゲートおよびドレイン端子を水平および垂直走査回路に接続し、ゲートおよびドレイン電圧を制御して各固体撮像素子を順次を選択するよう構成したことを特徴とする特許請求の範囲第16項記載の固体撮像素子。

18. 前記走査手段は、各固体撮像素子のドレイン端子を定電位に接続し、ゲートおよびソース端子を水平および垂直走査回路に接続し、ゲートおよびソース電圧を制御して各固体撮像素子を順次を選択するよう構成したことを特徴とする特許請求の範囲第16項記載の固体撮像素子。

19. 前記走査手段は、各固体撮像素子のゲート端子を定電位に接続し、ソースおよびドレイン端子を水平および垂直走査回路に接続し、ソースおよびドレイン電圧を制御して各固体撮像素子を順次を選択するよう構成したこと

を特徴とする特許請求の範囲第16項記載の固体撮像装置。

3. 発明の詳細な説明

(技術分野)

本発明は、静電誘導トランジスタより成る固体撮像素子および固体撮像装置に関するものである。

(従来技術)

従来、ビデオカメラ、ファクシミリ等に用いられる固体撮像装置として、BBD、CCD等の電荷転送素子あるいはMOSトランジスタ等を用いるものがある。しかし、これらの固体撮像装置は、信号電荷転送時に電荷の洩れがあること、光検出感度が低いこと等の種々の問題点がある。

このような問題点を一挙に解決するものとして、静電誘導トランジスタ(Static Induction Transistor)の略文字をとってSITと呼ばれている)を用いた固体撮像装置が既に提案されている。このSITは光電変換作用および光電荷蓄積作用を有するフォトリンジスタの一種であり、電界効果トランジスタや接合形トランジスタに比

較して、高入力カインピーダンス、高速性、非飽和性、低雑音、低消費電力等の特長を備えているものである。

したがって、このSITを固体撮像素子として用いれば、高感度、高速応答性および広いダイナミックレンジを有する固体撮像装置を得ることができるものであり、かかる装置は特開昭55-15229号公報に開示されている。

第1図はこの既知の固体撮像装置の各画素を構成するSITの断面図を示すものである。このSIT1は縦形構造で、ドレイン領域は n^+ 形の基板2から成り、ソース領域は基板2上に堆積されたチャンネル領域を構成する n -形エピタキシャル層3の表面に形成された n^+ 形領域4から成る。エピタキシャル層3の表面には、更にソース領域4を囲むように p^+ 形の信号蓄積ゲート領域5が形成されており、このゲート領域5上に絶縁膜6を介して電極7が設けられ、これにより電極/絶縁膜/ゲート領域から成るいわゆるMIS構造のゲート電極が形成されている。なお、チャンネル領域を構

成する n -形エピタキシャル層3の不純物濃度は、ゲート電極7の印加バイアスが0Vでもチャンネル領域が空乏化され、高い電位障壁が生じてピンチオフするような低濃度を選択されている。

かかるSIT1の動作原理を以下に説明する。ドレイン・ソース間にバイアスが印加されていない状態において、光がチャンネル領域3およびゲート領域5に入射すると、ここで生成した電子・正孔対のうち正孔はゲート領域5に蓄積され、電子はドレイン領域4を経てアースに流れ去る。光入力に対応してゲート領域5に蓄積された正孔は、ゲート領域5の電位を上げ、チャンネル領域3の電位障壁を光入力に応じて下げる。ドレイン・ソース間にバイアスを印加し、かつゲート電極7に順方向電圧を印加すると、ゲート領域5の正孔蓄積電量に応じてドレイン・ソース間に電流が流れ、光入力に対し増幅された出力が得られる。その光増幅率Sは、

$$S \propto \frac{l_1 \times l_2}{a^2}$$

で表わされ、その値は通常 10^3 以上であり、従来のバイポーラトランジスタより1桁以上も高感度である。なお、上式において2aはゲート領域5、5間の距離、 l_1 はゲート領域5の深さ、 l_2 はゲート・ドレイン領域間の距離を表わす。上式から明らかなように、一層高い光増幅率を得るには、2aを小さくする一方、エピタキシャル層3の厚さとゲート領域5の深さとを大きくする必要がある。例えば、 $10^3 \sim 10^4$ のSを得るには、通常 $l_1 = 2 \sim 3 \mu\text{m}$ 、 $l_2 = 5 \sim 6 \mu\text{m}$ が必要とされる。

ところで、このように構成される固体撮像装置における各SIT間には、図示のように、分離領域8を設けて、各SITの信号電荷を分離する必要があるが、この分離には酸化膜分離、拡散分離、V字溝分離等の方法が一般に使用されている。この場合、分離領域8はエピタキシャル層3の表面から基板2に到るまで設けられるが、エピタキシャル層3が厚いと、それだけその領域の形成が困難になる。一方、光増幅率Sを上げるためにゲー

ト領域5を深く形成することは、拡散法等では限界がある。また、ゲート領域5を深くすると、ゲート領域5で光の吸収が起り分光感度が悪化する。これらの理由により、縦形構造のSITから成る固体撮像装置においては、感度向上にはおのずから限界があり、これはその構造上避けられない欠点である。

このような欠点を除去するものとして、本願人は特願昭58-245059号において、横形構造のSITを用いる固体撮像装置を開発した。第2図にその横形構造SITの一例の構成を示す。この横形構造SIT(以下、LSITと略記する)11は、 p^- または p 形基板12上にチャネル領域を構成する n 形エピタキシャル層13を成長させ、このエピタキシャル層13に拡散法等によりその表面から基板12に達する n^+ 形のソース領域14およびドレイン領域15を形成すると共に、これらソース領域14とドレイン領域15との間のエピタキシャル層13の表面にゲート絶縁膜16を介してポリシリコン等のゲート電極17を設けて絶縁ゲートを形成したも

積される。そして、界面に正孔が蓄積された分だけ、ソース・ドレイン領域間の障壁ポテンシャルの高さが減少する。

ある一定の正孔蓄積時間後に、ドレイン電極19に正電圧を印加すると、界面蓄積正孔に応じたソース・ドレイン電流 I_{SD} が流れる。この電流 I_{SD} は、光が照射されず正孔が界面に存在しない時に比べて増大する。すなわち、光量がソース・ドレイン電流 I_{SD} の変化として取り出すことができるものである。

なお、本願人は上記特願昭58-245059号において、接合ゲート構造のLSITも提案している。

上述した横形静電誘導トランジスタ(LSIT)を固体撮像素子とし、これをXY方向にマトリックス状に配列した固体撮像装置においては、LSITを順次に操作して各画素に対応した光信号を読み出す必要があるが、光信号の蓄積および信号の読み出しを良好に制御することができなかつたので、種々の入射光状態の下で最適光電変換

のである。なお、ソース領域14およびドレイン領域15には、それぞれA₁等のソース電極18およびドレイン電極19が接合して設けられ、また隣接するLSITとはエピタキシャル層13の表面から基板12に達して設けた絶縁物20で分離されている。以下、このような絶縁ゲート構造のLSITを、IGLT(Insulated Gate Lateral Transistor)と略記する。

第2図に示すIGLT11においては、光を照射しない暗電流状態において、ソース(ドレイン)電極電圧 $V_s = 0$ 、ドレイン(ソース)電極電圧 $V_D = 0$ 、ゲート電極電圧 $V_G = V$ ($V > 0$)、基板電圧 $V_{SUB} = V_1$ ($V_1 < 0$)とすると、ゲート電極17にゲート電圧 V が印加された状態によって、絶縁膜からなるゲート領域16とチャネル領域13の境界から空乏層がチャネル全体に広がる。しかして、この時点では非定常状態動作なので、空乏層中に正孔は存在しない。次に光を照射して空乏層中に入れると、正孔-電子対が発生し、正孔はゲート絶縁膜16とチャネル領域13の界面に蓄

動作を達成することができない欠点があった。

(発明の目的)

本発明の目的は、上述した縦形構造における欠点を除去し、高性能でかつ製作容易な固体撮像素子を提供しようとするものである。

更に本発明の他の目的は、横形静電誘導トランジスタを固体撮像素子とする固体撮像装置の上述した問題点を解決し、種々の入射光条件の下でも最適な光電変換動作を行なうことができ、良好なS/Nを有する映像信号を得ることができる固体撮像装置を提供しようとするものである。

(発明の概要)

本発明の固体撮像素子は、絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、静電誘導トランジスタのソース領域およびドレイン領域を設けると共に、これらソース領域およびドレイン領域の少なく共一方の領域を完全に囲むように光信号を蓄積するゲート領域を設け、前記半導体層の表面と平行にソース・ドレイン電流が流れるように構成したことを特徴とするものである。

更に、本発明の固体撮像装置は、絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なくとも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタを具える固体撮像素子と、光信号蓄積時に前記ソースおよびドレイン領域を逆バイアスする手段とを具えることを特徴とするものである。

更に、本発明の固体撮像装置は、絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なくとも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタを具える固体撮像素子を多数マトリックス状に配列したアレイと、このアレイの順次の固体撮像素子を、光電荷をゲート領域に蓄積する光信号蓄積時間中はソ

ースおよびドレイン領域を逆バイアスして出力信号が生じないようにし、信号読み出し時間中はソースまたはドレイン領域を接地してゲート領域に蓄積された光電荷に応じたソース・ドレイン電流をビデオラインに流す走査手段とを具えることを特徴とするものである。

(実施例)

第3図AおよびBは本発明の固体撮像素子の第1実施例を示すもので、第3図Aは平面図を、第3図Bは第3図AのX-X'線断面図を表わす。本例の固体撮像素子21はIGLT構造のもので、p⁻基板22上にチャネル領域を構成するn⁻形エピタキシャル層23を成長し、このエピタキシャル層中にn⁻形不純物を添加して成るn⁺形のソース領域24およびドレイン領域25を形成して、これら領域にそれぞれA₁等より成るソース電極26およびドレイン電極27を接合して設けると共に、ソース領域24およびドレイン領域25の各々を完全に囲むように、エピタキシャル層23の表面にゲート絶縁膜28を介してSnO₂、ITO等の透明導電材料より

成るゲート電極29を設けて絶縁ゲートを形成する。なお、本例では基板22に複数のIGLT22をマトリックス状に形成するもので、隣接する画素間は、エピタキシャル層23の表面から基板22に達して設けた半導体酸化物、絶縁物等より成る分離領域30によって電気的に分離する。

本実施例においては、ソース領域24およびドレイン領域25の各々を完全に囲むように絶縁ゲートを設けものであるから、ゲート面積すなわち開口率を大きくとれると共に、ソース・ドレイン間のチャネル領域を広くとれる。その結果、光入力時のゲートポテンシャルの安定性が向上し、良好なS/Nを得ることができる。

第4図AおよびBは本発明の固体撮像素子の第2実施例を示すもので、第4図Aは平面図を、第4図Bは第4図AのX-X'線断面図を表わす。この固体撮像素子31は第1実施例と同様IGLT構造のものであるが、本例ではソース領域、ドレイン領域および絶縁ゲートを同心円状に形成すると共に、ソース領域のみを絶縁ゲートで完全に囲

むようにしたものである。すなわち、p⁻基板32上にチャネル領域を構成するn⁻形エピタキシャル層33を成長し、このエピタキシャル層中にn⁻形不純物を添加して成るn⁺形の円形のソース領域34およびこのソース領域34を完全に囲むようにドレイン領域35を同心円状に形成して、これら領域にそれぞれA₁等より成るソース電極36およびドレイン電極37を接合して設けると共に、ソース領域34とドレイン領域35との間のエピタキシャル層33の表面にソース領域34を完全に囲むようにゲート絶縁膜38を介してSnO₂、ITO等の透明導電材料より成るゲート電極39を設けて同心円状の絶縁ゲートを形成する。なお、本例では基板32に複数のIGLTを、各々が正三角形の頂点に位置するように形成するもので、隣接する画素間は、エピタキシャル層33の表面から基板32に達して設けた半導体酸化物、絶縁物等より成る分離領域40によって電気的に分離する。

本実施例によれば、第1実施例と同様の効果がある他、ソース領域34、ドレイン領域35および絶

線ゲートを同心円状に形成するものであるから、画素間の特性のばらつきを小さくできると共に、絶縁ゲートが直接分離領域40に接しないから分離領域40での表面漏れ電流を無視できる等の効果がある。

なお、ソース領域34とドレイン領域35との形成位置を入れ替えてドレイン領域35を絶縁ゲートで完全に囲むように構成することもでき、この場合にも同様の効果を得ることができる。また、本実施例による画素の平面形状は円形に限らず、トポロジ的に等価な形状であればよい。

第5図AおよびBは本発明の固体撮像素子の第3実施例を示すもので、第5図Aは平面図を、第5図Bは第5図AのX-X'線断面図を表わす。この固体撮像素子41は接合ゲート構造のLSIT（以下これをJunction Gate Lateral Transistorの頭文字をとってJGLTと略記する）で、その接合ゲートにより第1実施例と同様にソース領域およびドレイン領域の各々を完全に囲むように構成したものである。すなわち、p⁻基

板42上にチャネル領域を構成するn⁻形エピタキシャル層43を成長し、このエピタキシャル層中にn形不純物を添加して成るn⁺形のソース領域44およびドレイン領域45を形成して、これら領域にそれぞれA₂等より成るソース電極46およびドレイン電極47を接合して設けると共に、ソース領域44およびドレイン領域45の各々を完全に囲むように、p形不純物を添加して成るp⁺形のゲート領域48を形成して、このゲート領域48にSnO₂、ITO等の透明導電材料より成るゲート電極49を接合して設けて接合ゲートを形成する。なお、マトリックス状の隣接する各画素間は、エピタキシャル層43の表面から基板42に達して設けた半導体酸化物、絶縁物等より成る分離領域50によって電気的に分離する。

本実施例は、ゲート構造のみが第1実施例と異なるもので、その作用、効果は第1実施例と同様である。

第6図AおよびBは本発明の固体撮像素子の第4実施例を示すもので、第6図Aは平面図を、第

6図Bは第6図AのX-X'線断面図を表わす。この固体撮像素子51は、第3実施例と同様JGLT構造のものであるが、本例では第2実施例と同様に、ソース領域、ドレイン領域およびゲート領域を同心状に形成すると共に、ソース領域のみをゲート領域で囲むようにしたものである。すなわち、p⁻基板52上にチャネル領域を構成するn⁻形エピタキシャル層53を成長し、このエピタキシャル層中にn形不純物を添加して成るn⁺形の円形のソース領域54およびこのソース領域54を完全に囲むようにドレイン領域55を同心円状に形成して、これら領域にそれぞれA₂等より成るソース電極56およびドレイン電極57を接合して設けると共に、ソース領域54とドレイン領域55との間にソース領域54を完全に囲むように、p形不純物を添加して成るp⁺形のゲート領域58を形成して、このゲート領域58にSnO₂、ITO等の透明導電材料より成るゲート電極59を接合して設けて同心円状の接合ゲートを形成する。なお、隣接する各画素間は、エピタキシャル層53の表面から基板52に

達して設けた半導体酸化物、絶縁物等より成る分離領域60によって電気的に分離する。

本実施例は、ゲート構造のみが第2実施例と異なるもので、その作用、効果は第2実施例と同様である。また、ソース領域54とドレイン領域55との形成位置を入れ替えてドレイン領域55をゲート領域58で完全に囲むよう構成することもでき、この場合にも同様の効果を得ることができる。

第7図AおよびBは本発明の固体撮像素子の第5実施例を示すもので、第7図Aは平面図を、第7図Bは第7図AのX-X'線断面図を表わす。この固体撮像素子61は、分離領域62を、チャネル領域を構成するn⁻形エピタキシャル層33の表面から基板32に達して、エピタキシャル層33とは逆導電形のp⁺拡散層をもって六角形状に形成した点のみが第4図A、Bに示す第2実施例と異なるものであり、第4図A、Bに示す符号と同一符号は同一作用を成すものを表わす。

このように、分離領域62を拡散層をもって構成することにより、これを半導体酸化物や絶縁物で

構成する場合に比べ、分離領域界面すなわち画素間でのリーク電流をより安定に抑えることができると共に、製作も容易にできる。

第7図A、Bに示す実施例では p^+ 拡散層より成る分離領域62を、エピタキシャル層33の表面から基板32に達して設けたが、この分離領域62は必ずしも基板32に達して設ける必要はない。この場合の本発明に係わる固体撮像素子を第6実施例として第8図Aに示す。

第8図Aに示す固体撮像素子65は、 p^+ 拡散層より成る分離領域62をエピタキシャル層33の表面から基板32に達しない深さに形成した点のみが、第5実施例と異なるものである。この場合には、分離領域62の下方に基板32に達する空乏層が形成されるように、分離領域62に電極66を介してエピタキシャル層33に対して適当な逆バイアス V_R を加して、隣接する画素間を電氣的に分離する。

本実施例によれば、第5実施例と同様の効果が得られると共に、分離領域62の深さが基板32に達しないから、その面積を基板32に達するまで形成

する場合に比べ3～5倍小さくでき、したがって画素寸法の縮小化が図れ、高密度化に極めて有利となる。

なお、このように分離領域を拡散により形成する構成は、上記特願昭58-245059号に記載したLSITおよび本発明に係わる他の固体撮像素子にも同様に適用することができる。

また、分離領域は第2実施例や第4実施例に示すように、最外側にソース領域またはドレイン領域を形成する場合においては、その最外側の領域をもって構成することができる。この場合の本発明に係わる固体撮像素子を第7および第8実施例として第8図BおよびCにそれぞれ示す。

第8図Bに示す固体撮像素子67は、 n^+ 形のドレイン領域35の中央部を深くし、また第8図Cに示す固体撮像素子69は、 n^+ 形のドレイン領域35全体の深さを深くして、それぞれドレイン領域35を分離領域としても作用させるようにした点のみが、第2実施例と異なるものである。

このように、ドレイン領域35の一部または全体

の深さを深くすることによって、このドレイン領域35を画素間の分離領域としても作用させることができ、これにより高密度化および製作性を容易にできる。なお、このようにドレイン領域を分離領域としても作用させる構成は第4実施例に示すJGLT構造のものにも有効に適用することができる。また、最外側がソース領域の場合でも、同様にしてこのソース領域を分離領域としても作用させることができる。

第1、第2、第5～第8実施例および第2図に示すようなIGLT構造のものにおいては、ゲート絶縁膜に接するエピタキシャル層の表面に、エピタキシャル層とは逆導電形のゲート領域を形成することができる。この場合の本発明に係わる固体撮像素子を第9および第10実施例として第9図A、Bおよび第10図にそれぞれ示す。

第9図AおよびBに平面図およびそのX-X'線断面図で示す固体撮像素子71は、第7図A、Bに示す第5実施例のIGLTにおいて、ゲート絶縁膜38に接する n -形エピタキシャル層33の表面に、

n^+ 形のソース領域34およびドレイン領域35に亘ってイオン注入法等により p 形のゲート領域73を形成したものである。また、第10図に示す固体撮像素子75は、同様に第7図A、Bに示すIGLTにおいて、ゲート絶縁膜38に接する n -形エピタキシャル層33の表面の一部にイオン注入法等により p 形のチャンネル領域73を形成したものである。

このように、ゲート絶縁膜直下の半導体層表面に、該半導体層とは逆導電形のゲート領域を設けることにより、飽和露光量をより大きくすることができると共に、特に第9実施例のようにチャンネル領域をソース領域およびドレイン領域に亘って形成する場合には、JGLT構造のものに比べて、ソース、ゲートおよびドレイン位置において、いわゆる自己整合構造プロセスを採用することができる。

上述した本発明に係わるIGLTおよびJGLTにおいて、ソース領域およびドレイン領域の各々をゲート領域で完全に囲む構成のものとしては第1および第3実施例を示したが、これら各領域

を同心円状に形成してソース領域およびドレイン領域の各々をゲート領域で完全に囲むこともできる。

第11図AおよびBは本発明の固体撮像素子の第11実施例を示すもので、第11図Aは平面図を、第11図Bは第11図AのX-X'線断面図を表わす。この固体撮像素子81はIGLT構造のもので、ソース領域およびドレイン領域の各々をゲート領域で完全に囲むように、これら各領域を同心円状に形成したものである。すなわちp型基板82上にチャネル領域を構成するn型エピタキシャル層83を成長し、このエピタキシャル層中にn形不純物を添加して成るn⁺形の円形のソース領域84および切欠き部を有するリング状のドレイン領域85を同心円状に形成して、これら領域にそれぞれAl等より成るソース電極86およびドレイン電極87を接合して設けると共に、ソース領域84およびドレイン領域85の各々を完全に囲むようにドレイン領域85の切欠き部を通して連結してエピタキシャル層83の表面にゲート絶縁膜88を介してSnO₂、ITO

L T 81において、ドレイン領域85の切欠き部におけるゲート領域を除去して、ソース領域84を囲む第1のゲート領域と、ドレイン領域85を囲む第2のゲート領域とを分離して設けたものである。これら第1、第2のゲート領域は、それぞれエピタキシャル層83の表面にゲート絶縁膜88-1、88-2を介してゲート電極89-1、89-2を設けて構成する。

このようにゲート領域を分離することにより、増幅の段階で最外側の第2のゲート領域に蓄積した光信号電荷を、ソース領域84とドレイン領域85との間の電流を制御する内側の第1のゲート領域に転送することができ、これにより単一のゲート構成に比べてより大きい増幅率を得ることができる。

第13図AおよびBは本発明の固体撮像素子の第13実施例を示すもので、第13図Aは平面図を、第13図Bは第13図AのX-X'線断面図を表わす。この固体撮像素子101は、第2実施例(第4図A、B)に示したIGLT 31において、ゲート電極を

等の透明導電材料より成るゲート電極89を設けて同心円状の絶縁ゲートを形成する。なお、本例では基板82に複数のIGLTを、各々が三角形の頂点に位置するように形成するもので、隣接する画素間は、エピタキシャル層83の表面から基板82に達して設けた半導体酸化物、絶縁物等より成る分離領域90によって電気的に分離する。

本実施例によれば、第1実施例において説明したと同様の効果を得ることができると共に、特に各領域を同心円状に形成するものであるから、各画素間のばらつきを小さくできる。なお、このようにソース領域およびドレイン領域の各々をゲート領域で完全に囲むように、これら各領域を同心円状に形成する構成は、IGLT構造のものに限らず、JGLT構造のものにも有効に適用することができる。

第12図AおよびBは本発明の固体撮像素子の第12実施例を示すもので、第12図Aは平面図を、第12図Bは第12図AのX-X'線断面図を表わす。この固体撮像素子91は、第11実施例に示したIG

同一のゲート絶縁膜38上で第1のゲート電極39-1と第2のゲート電極39-2とに二重のリング状に分離して、各々のゲート電極によって第1および第2のゲート領域を形成したものである。

かかる構成によれば、前述した第12実施例における効果に加えて、第1または第2のゲート領域から第2または第1のゲート領域への光信号電荷の転送効率を大きくできる。

なお、第12および第13実施例における構成は、上述したJGLT構造のものおよび他のIGLT構造のものにも有効に適用することができる。

上述した本発明の固体撮像素子の各実施例では、ソース電極およびドレイン電極を各々Al等の金属で形成したが、このような電極を用いても、ソース領域およびドレイン領域下で入射光を受光していることが実験で判明した。したがって、ソース電極およびドレイン電極を、ゲート電極を同様に透明電極またはポリシリコン等の半透明電極で構成することもでき、これにより光受光効率を更に増加させることができる。また、上記各実施例

では、 n^-/p^- 又は p^- のエピタキシャルによる2層構造としたが、 p^- のみを基板として用い、エピタキシャル層無しでも良好な光電変換特性をもつ IGLT および JGLT を得ることができ、これによりプロセスを更に容易にできると共に、安価にできる。また、このように p^- のみを基板として用いても、 n^-/p^- 構造同様、基板からバックゲートを印加するよう構成することができる。このように構成することにより、チャンネル電流を表面のゲートと基板との両方で制御できるから、同じ構造のデバイスでも、その基板バイアスによって、光電変換特性を変化させることができる。したがって、基板バイアスを適当に選定すれば、所望の光電変換特性を自由に設定することができる。更に、 n^- (チャンネル)/ p^- 又は p^- 基板の他に、 n^- (チャンネル)/絶縁物あるいは n^- (チャンネル)/絶縁物/Siの層構造とすることができ、特に後者の場合においては完全に絶縁した形でバックゲートをかけられる利点がある。更にまた、上記各実施例では、全てチャンネル領域を流れる電荷が電

拡散層より成るドレイン領域 113と、同じく n^+ 形拡散層より成るソース領域 114とを同心円状に形成する。これらドレイン領域 113とソース領域 114との間のエピタキシャル層 112の表面にはゲート絶縁膜 115を形成し、その上に透明導電材料より成るゲート電極 116を設けて絶縁ゲート構造を形成したものである。したがって本例ではゲート領域によってソース領域 114を完全に囲む構造となっている。ソース領域 114に接続されたソース端子 117、ドレイン領域 113に接続されたドレイン端子 118、ゲート電極 116に接続されたゲート端子 119および基板 111に接続された基板端子 120にはそれぞれソース電圧 V_S 、ドレイン V_D 、ゲート電圧 V_G および基板電圧 V_{SUB} を印加するものとする。

第15図は第14図に示す固体撮像素子の等価回路図を示すものである。本例の固体撮像素子の諸元は次の通りである。基板 111はシリコンより成り、その p 形不純物濃度は 1×10^{12} 原子/cm³であり、チャンネルを構成するエピタキシャル層 112はシリ

コンより成り、その n 形不純物濃度は 7×10^{12} 原子/cm³である。チャンネルの厚さ $d_2 + d_3$ は $4 \sim 10 \mu m$ 、ドレイン領域 113およびソース領域 114の拡散深さ d_2 は $0.5 \mu m$ 、酸化シリコンより成るゲート絶縁膜 115の厚さ d_1 は 800 \AA 、円形のソース領域 114の径 ϕ_1 は $6 \mu m$ 、リング状のゲート領域の長さ ϕ_2 は $3 \mu m$ 程度である。このように構成した IGLT ではゲート領域によってソース領域を取囲むためチャンネル領域の面積を十分広くとることができ、良好な光電変換特性を得ることができることを確認した。

次に上述した横形静電誘導トランジスタ (LSIT) を具える本発明の固体撮像素子の動作および特性について説明する。上述したように本発明の固体撮像素子はそのゲート構造によって絶縁ゲート横形静電誘導トランジスタ (IGLT) と、接合ゲート横形静電誘導トランジスタ (JGLT) とに大別されるが、以下 IGLT を例にとって説明する。

第14図は IGLT 構造の一例を示すものであり、上述した第4図に示す第2の実施例に対応するものである。 p 形基板 111の上に n 形エピタキシャル層 112を成長し、このエピタキシャル層中に n^+

次に上述した固体撮像素子の特性を説明する。第16図において、横軸にゲート端子 119に印加されるゲート電圧 V_G をリニアスケールでとり、縦軸にソース端子 117とドレイン端子 118との間を流れる電流 I_D をリニアスケールでとり、ドレイン端子 118に印加される電圧 V_D (> 0) をパラメータとして示すものでありソース電圧 V_S は $V_S = 0$ 、基板電圧 V_{SUB} は負として基板 111とエピタキシャル層 112との間のpn接合は逆バイア

スしてある。これらグラフからわかるように、ドレイン電圧 V_D が大きいほど大きな電流 I_D が流れ、また、ゲート電圧 V_G が正で大きいほど、大きな電流 I_D が流れることもわかる。第16図において、実線はゲート絶縁膜 115の直下に正孔の反転層が殆んど存在しない非定常状態での電流 I_D を示し、点線は正孔反転層が完全に存在する熱的平行状態での電流 I_D を示している。ここで $V_S = 0$ 、

$V_{SUB} = V_{SUB1} (< 0)$ は同一の条件とする。

次に、上述した固体撮像素子の受光動作原理を第17図を参照して説明する。まず光が照射されていない暗状態において、ソース電圧 $V_S = 0$ 、ドレイン電圧 $V_D = V_{D1} = 0$ 、ゲート電圧 $V_G = V_{G1} (> 0)$ 、基板電圧 $V_{SUB} = V_{SUB1} (< 0)$ とする。ここでゲート端子 119にゲート電圧 V_{G1} が印加されていることによってゲート絶縁膜 115とエピタキシャル層 112との境界から空乏層がチャンネル領域全体に拡がる。この時点では、非定常状態であるので、空乏層中には正孔は存在しない。

開口率が大きくなるので、光電変換効率は高くなり、入射光量に正確に対応した量の正孔をゲート領域に安定に蓄積することができ、したがって電流 I_D の S/N を大きくすることができる。

飽和露光量以上の光が光蓄積時間に入射すると飽和量以上の正孔が発生されるが、これらは大部分基板 111へ流れ去る。したがって飽和露光量以上の光量が入射する場合にはソース・ドレイン間電流 I_D は飽和電流値 I_{D2} に固定される。

第18図は横軸に光蓄積時間をリニアスケールでとり、縦軸にソース・ドレイン間電流 I_D を対数スケールでとり、光強度をパラメータとして示すものである。強度が強い程ソース・ドレイン間電流 I_D は速く立ち上がり、強度が弱い程立ち上がりは緩かとなる。暗時において飽和電流 I_{D2} に達するまでの時間は約10秒であり、この時間は、正孔の熱的な発生レートによって決まる。

上述した固体撮像素子を実際に固体撮像装置に組込む場合には、電流 I_D の変化を主として電圧の変化に変換して信号処理を行なっている。主な

次に光が照射されると空乏層内で正孔・電子対が発生し、正孔はゲート絶縁膜 115とエピタキシャル層 112との界面にあるゲート領域に蓄積される。このように界面に正孔が蓄積されると、それに対応してソース・ドレイン領域間の障壁ポテンシャルの高さが低くなる。

ある一定の正孔蓄積時間後に、ドレイン端子 118に正電圧 V_{D2} を印加してソースおよびドレインを順方向にバイアスすると、界面に蓄積された正孔に応じてソース・ドレイン領域間に電流 I_D が流れる。この電流 I_D は、光が照射されず、正孔が界面に存在しないときにソース・ドレイン領域間に流れる暗電流 I_{D1} に比べて大きなものとなる。すなわち、入射光量の変化をソース・ドレイン領域間を流れる電流 I_D の変化として取出すことができる。

この場合本発明の固体撮像素子ではゲート領域によってソースまたはドレイン領域の少なくとも一方を囲むように構成したため、ゲート領域の面積、したがってチャンネル領域の面積が大きくなり

電流電圧変換方法としては、ソースフォロウおよびソース接地があるが、次にこれらを第19図および第20図を参照して説明する。

第19図はソースフォロウを示し、ソース端子 117に負荷抵抗 R_L を接続し、出力電圧 V_{OUT} はこの負荷抵抗間から取出す。第20図はソース接地の例を示し、本例ではドレイン端子 117に負荷抵抗 R_L を接続し、出力電圧 V_{OUT} はこの負荷抵抗間から取出すようになっている。これら第19図および第20図においては、ゲート領域に入射する光を $h\nu$ で示した。

第21図は光電変換動作のタイミングチャートを示すものであり、横軸に時間 t をとり、縦軸にゲート電圧 V_G 、ドレイン電圧 V_D 、ソース電圧 V_S および基板電圧 V_{SUB} をそれぞれとって示す。基板電圧 V_{SUB} は常時逆バイアス電圧 $V_{SUB1} (< 0)$ となっており、ソース電圧 V_S は常時グラウンドレベル $V_{S1} (= 0)$ に保たれている。動作周期 T は、蓄積時間 T_1 と、読み出し時間 T_2 と、リセット時間 T_3 とから構成されている。蓄

積時間 T_1 中はゲート電圧 V_G は反転バイアス電圧 V_{G1} (< 0)、ドレイン電圧 V_D はグラウンドレベル V_{D1} ($= 0$)に保たれている。このようなバイアス状態では入射光によって生じる正孔はゲート領域に蓄積されるが、信号出力は生じない。読み出し時間 T_2 中は、ゲート電圧 V_G は読み出し電圧 V_{G2} ($V_{G1} \leq V_{G2} < 0$)に保たれ、ドレイン電圧 V_D はハイレベル V_{D2} (> 0)となり、信号を読み出し得る状態となる。第21図では $V_{G1} < V_{G2}$ としたが、 $V_{G1} = V_{G2}$ とすることもできる。リセット時間 T_3 中は、ドレイン電圧 V_D はハイレベル V_{D2} に維持したままゲート電圧 V_G を順方向リセット電圧 V_{G3} (> 0)とし、ゲート領域に蓄積された正孔を放出させる。ここでリセット時間 T_3 中には、出力信号が出なくてもよい場合には、ドレイン電圧 V_D はグラウンドレベル V_{D1} ($= 0$)としてもよい。また、リセット方法としては、ソース電圧 V_S およびドレイン電圧 V_D のどちらか一方または双方を順バイアスにする方法もある。

ることができることも実験により確認した。

本発明の固体撮像素子の動作方法は第21図に示したもののだけに限られるものではなく、他の方法も考えられる。蓄積時間 T_1 中には出力信号が出ない状態とすればよいのであるから、この蓄積時間中にソース電圧 V_S をハイレベル $V_{S2} = V_{D2}$ (> 0)とすることもできる。この場合の動作タイミングチャートを第24図を参照して説明する。

第24図において横軸は時間 t を示し、縦軸はゲート電圧 V_G 、ドレイン電圧 V_D 、ソース電圧 V_S をそれぞれ示す。なお、基板電圧 V_{SUB} は一定であり、 $V_{SUB} < 0$ である。蓄積時間 T_1 中はゲート電圧 V_G は反転バイアス電圧 V_{G1} (< 0)、ドレイン電圧 V_D およびソース電圧 V_S はハイレベル $V_{S2} = V_{D2}$ (> 0)となっており、光を受光するが信号は出力しない状態になっている。読み出し時間 T_2 中は、ゲート電圧 V_G は読み出し電圧 V_{G2} ($V_{G1} \leq V_{G2} < 0$)とし、ソース電圧 V_S はローレベル V_{S1} ($= 0$)とする。これによって信号を読み出す状態となる。またリセット時間

上述したようにして光蓄積を行なった後、読み出しを行なって得られた出力信号を第22図および第23図に示す。

第22図は横軸に入射光量を対数スケールでとり、縦軸に光入射時の出力電圧 V_{OUT} と暗状態での出力電圧 V_{DARK} との差、すなわち $V_{OUT} - V_{DARK}$ の絶対値を対数スケールでとって示すものである。第22図から明らかなように階調度は $\gamma \approx 1$ の良好な特性が得られることが実験により確認された。

第23図は横軸に読み出し時のドレイン電圧 V_{D2} をリニアスケールでとり、縦軸に光入射時と暗状態との出力電圧の差の絶対値 $|V_{OUT} - V_{DARK}|$ をリニアスケールでとって示すものである。第23図から明らかなように、読み出し時のドレイン電圧 V_{D2} が高いほど大きな出力電圧が得られ、しかもこの関係は良好な直線性となっていることが実験的に確認された。また、本発明の固体撮像素子においては、ゲート電圧 V_G 、ソース電圧 V_S 、ドレイン電圧 V_D 、基板電圧 V_{SUB} を調整することにより飽和露光量、感度、階調度 γ などを変え

T_3 中は、ゲート電圧 V_G を順方向リセット電圧 V_{G3} (> 0)として、光の入射によって蓄積された正孔をゲート電極直下にあるゲート領域から放出する状態とする。なお、第24図に示す例ではリセット時間 T_3 中、 $V_{S1} = V_{D1}$ ($= 0$)として信号が出ないようにしたが、リセット時にも信号が出てもよい場合にはドレイン電圧 V_D はハイレベル V_{D2} とすることもできる。さらに V_{G3} を大きくとることができる場合には、ドレイン電圧 V_D を V_{D2} とし、ソース電圧 V_S を V_{S2} とすることもできる。第24図に示す例では蓄積時間 T_1 中にソース電圧 V_S をハイレベル V_{S2} とするので光の効果および正孔保持能力を向上することができる効果がある。

上述したように、リセット動作は正孔をゲート直下から掃き出せばよいのであるから、基板電圧 V_{SUB} を変えてもリセットを行なうことができる。次にそのような例を第25図を参照して説明する。

第25図において、横軸は時間 t を示し、縦軸は順次上からゲート電圧 V_G 、ドレイン電圧 V_D 、

ソース電圧 V_S 、基板電圧 V_{SUB} をそれぞれ示している。本例では、リセット時間 T_1 中は、基板電位 V_{SUB} を V_{SUB2} (< 0) とすることにより、ゲート直下に蓄積されている正孔を強制的に基板に掃き出すことができる。この方法ではゲート電圧 V_G が2値でよいため駆動回路が簡単となる。更に、リセットは基板電圧 V_{SUB} を変えるだけでよいので一括してチップ全体をリセットすることができる効果が得られる。

ある入射光強度に対する最適受光動作状態を決める一つの要因に蓄積時間 T_1 を変える方法があるが、この場合の動作特性を第26図に示す。第26図において、横軸に入射光強度を対数スケールでとり、縦軸に出力 $|V_{OUT} - V_{DARK}|$ を対数スケールでとり、蓄積時間 T_1 をパラメータとして示すグラフである。入射光強度が弱い場合には出力が小さくなることは第18図に示した通りであるが、同じ入射光強度に対しては蓄積時間 T_1 が短くなると出力が小さくなることが第26図からわかる。したがって入射光の強度を検出し、それらに応じ

て蓄積時間 T_1 を決定し、入射光強度が大きい場合には蓄積時間 T_1 を短くし、入射光強度が小さい場合は蓄積時間 T_1 を長くすることによって最適な露光状態が得られることになる。

上述したような最適露光状態を得るには、ゲート電圧 V_{G2} を変えることによって行なうことができる。第27図において、横軸には読み出しゲート電圧 V_{G2} をリニアスケールでとり、縦軸には出力電圧 $|V_{OUT} - V_{DARK}|$ を対数スケールでとり、入射光強度をパラメータとして示すものである。ゲート電圧 V_{G2} が低く、入射光強度が低い場合には出力電圧が小さく、またゲート電圧 V_{G2} が高く、入射光強度が高いときに出力電圧は早く飽和してしまうことがわかる。したがって、入射光強度を検出し、入射光強度が低いときにはゲート電圧 V_{G2} を高くして信号の読み出しを行ない、入射光強度が大きいときにはゲート電圧 V_{G2} を低くして読み出しを行なうことによって常に最適の受光動作が達成されることになる。さらに、蓄積時間 T_1 中にゲート電圧 V_{G1} または基板電圧 V_{SUB1} を

変えることにより、一層広い範囲で良好な露光状態が得られることも明らかである。

上述した固体撮像素子の動作説明では絶縁ゲート構造を有するIGLTを例にとったが、ゲート拡散領域を容量を介して取ったJGLTにも同様の説明が当て嵌まることは勿論である。

次に、本発明の固体撮像装置について説明する。固体撮像装置では固体撮像素子をマトリックス状に配列し、これをラスタ走査することにより映像信号を取り出しているがこの走査方法としては、ドレイン・ゲート選択方式、ソース・ゲート選択方式、ソース・ドレイン選択方式があり、以下その各々について説明する。

固体撮像装置の第1の実施例においては、第28図に示すように $m \times n$ 個のLSIT 250-11, 250-12, ..., 250-21, 250-22, ..., 250-mnをマトリックス状に配列し、XYアドレス方式により順次信号を読み出すように構成する。各画素を構成するLSITとしては第3～13図に示したようにゲート領域によってソースおよびドレイン

領域の少なくとも一方を囲む構成とした横形の静電誘導トランジスタだけでなく、第2図に示したようにソース・ドレイン領域間にゲート領域を設けた構成の横形静電誘導トランジスタとすることもできる。本実施例では各LSITのソース端子は接地し、X方向に配列された各行のLSIT群のゲート端子は行ライン 251-1, 251-2, ..., 251-m にそれぞれ接続する。またY方向に配列された各列のLSIT群のドレイン端子は列ライン 252-1, 252-2... 252-n にそれぞれ接続し、これら列ラインはそれぞれ列選択用トランジスタ 253-1, 253-2... 253-n および 253-1', 253-2' ... 253-n' を介してそれぞれビデオライン 254およびグラウンドライン 254' に共通に接続する。ビデオライン 254には負荷抵抗 255を介してビデオ電源 V_{DD} を接続する。行ライン 251-1, 251-2... 251-m は垂直走査回路 256に接続され、それぞれ信号 ϕ_{G1} , ϕ_{G2} , ..., ϕ_{Gm} が順次に印加されるように構成する。また、列選択トランジスタ 253-1, 253-2...

253 - n および 253 - 1' , 253 - 2' ... 253 - n' のゲート端子は水平走査回路 257に接続され、それぞれ信号 ϕ_{D1} , ϕ_{D2} ... ϕ_{Dn} およびその反転信号が印加されるように構成する。

次に、第29図を参照して本例の固体撮像装置の動作を説明する。第29図は垂直走査信号 ϕ_G および水平走査信号 ϕ_D を示すものである。行ライン 251 - 1, 251 - 2... に印加される信号 ϕ_{G1} , ϕ_{G2} ... は小さい振幅の読み出しゲート電圧 $V_{\phi G}$ と、それより大きい振幅のリセットゲート電圧 $V_{\phi R}$ とより成るもので、一つの行ラインの走査期間 t_H の間は $V_{\phi G}$ 、次の行ラインの水平走査に移るまでの水平ブランキング期間 t_{BL} には $V_{\phi R}$ の値になるように設定されている。列選択用トランジスタのゲート端子に加えられる水平走査信号 ϕ_{D1} , ϕ_{D2} ... は列ライン 252 - 1, 252 - 2... を選択するための信号であり、低レベルは列選択用トランジスタ 253 - 1, 253 - 2... をオフ、反選択用トランジスタ 253 - 1' , 253 - 2' ... をオン、高レベルは列選択用トランジスタをオン、反選択用トラン

ジスタをオフとする電圧値となるように設定されている。

次に上述したLSITの動作原理に基いて第28図に示した固体撮像装置の動作を第29図に示す信号波形を参照して説明する。垂直走査回路 256の作動により信号 ϕ_{G1} が $V_{\phi G}$ となると、行ライン 251 - 1に接続されたLSIT群 250 - 11, 250 - 12... 250 - 1nが選択され、水平走査回路 257より出力される信号 ϕ_{D1} , ϕ_{D2} ... により水平選択トランジスタ 253 - 1, 253 - 2... 253 - n が順次オンすると、LSIT 250 - 11, 250 - 12... 250 - 1nの信号が順次にビデオライン 254より出力される。続いて、このLSIT群 250 - 11, 250 - 12... 250 - 1nは信号 ϕ_{G1} が高レベル $V_{\phi R}$ になったときに一斉にリセットされ、次に光信号を蓄積し得る状態となる。次いで信号 ϕ_{G2} が $V_{\phi G}$ となると行ライン 251 - 2に接続されたLSIT群 250 - 21, 250 - 22... 250 - 2nが選択され、水平走査信号 ϕ_{D1} , ϕ_{D2} ... によりLSIT 250 - 21, 250 - 22... 250 - 2nの光信号が順次に読み出され、続

いて ϕ_{G2} が $V_{\phi R}$ となることにより一斉にリセットされる。以下同様にして順次のLSITの光信号が読み出され、1フィールドのビデオ信号が出力される。

この第1の実施例において、反選択トランジスタ群 253 - 1' , 253 - 2' ... 253 - n' を設けたのは選択されていないLSITのドレインをこれらトランジスタを介してグラウンド電位に固定するためであるが、これらの反選択トランジスタ群を設けなくてもゲートに光信号を蓄積することは可能であるので、本実施例から反選択トランジスタを省くこともできる。また、本実施例ではゲート電圧 ϕ_G は蓄積時と読み出し時とで相違させたが、蓄積時と読み出し時とも $V_{\phi G}$ とすることもできる。この場合には、ゲートパルス $\phi_{\phi G}$ は2つのレベルを有するものでよいので垂直走査回路 256の構成が簡単となる。

上述した第1の実施例ではLSIT 250 - 11, 250 - 12... 250 - mnのソース端子は総て一定の電位すなわちグラウンドレベルとなっているが、各

列のLSIT群のソース端子を共通とし、水平走査回路と並列に設けたシフトレジスタより成る水平リセット回路に接続することもできる。

第30図はこのような水平リセット回路を設けた第2の実施例を示すものである。第30図において、各列のLSIT群 250 - 11, 250 - 21... 250 - m1; 250 - 12, 250 - 22... 250 - m2; ... ; 250 - 1n, 250 - 2n... 250 - mnのソース端子をそれぞれソースライン 259 - 1, 259 - 2... 259 - n に共通に接続し、これらソースラインを水平走査回路 257に対して並列に配置した水平リセット回路 258に接続する。

次に本実施例の動作を第31図を参照して説明する。垂直走査回路 256の作動により信号 ϕ_{G1} が $V_{\phi G}$ となると、行ライン 251 - 1に選択されたLSIT群 250 - 11, 250 - 12... 250 - 1nが選択され、水平走査回路 257より順次に出力されるゲート電圧 ϕ_{D1} , ϕ_{D2} ... により水平選択トランジスタ 253 - 1, 253 - 2... 253 - n が順次にオンとなり、選択されたLSIT群 250 - 11, 250 - 12...

250-1nが順次にオンとなりゲート領域に蓄積された光電荷に対応したソース・ドレイン電流がビデオライン254に流れ、負荷抵抗255間に出力信号が得られる。各LSITのリセットは信号 ϕ_{D1} 、 ϕ_{D2} …の直後に水平リセット回路258から信号 ϕ_{S1} 、 ϕ_{S2} … ϕ_{Sn} をソースライン259-1, 259-2…259-nに与えることにより行なう。すなわち、各LSITのソース領域に、ゲート電圧 $V_{\phi G}$ に対して順バイアスの電位を印加することによりゲート領域に蓄積された正孔を掃き出すことができる。

第1の実施例では、リセットは各行のLSIT群毎に行なうが、本実施例では各LSIT毎に行なうことができるので、総てのLSITの光蓄積時間を完全に同一とすることができる効果がある。また、ゲート電圧のパルスレベルが2値となるため垂直走査回路256の設計が容易となる効果もある。

第32図はソース・ドレイン選択方式を採用した本発明の固体撮像装置の第3の実施例を示すもの

である。第32図に示すように、本実施例の固体撮像装置では、LSIT 260-11, 260-12…260-nnをマトリックス状に配置し、XYアドレス方式により信号を読み出すように構成する点は前例と同様である。すなわち各画素を構成するLSITのドレインをビデオ電源 V_{DD} に共通に接続し、X方向に配列された各行のLSIT群のゲート端子を、行ライン261-1, 261-2…261-mにそれぞれ接続する。またY方向に配列された各列のLSIT群のソース端子は、列ライン262-1, 262-2…262-nにそれぞれ接続し、これらの列ラインは、それぞれ列選択用トランジスタ263-1, 263-2…263-nおよび263-1', 263-2'…263-n'を介してビデオライン264及びグラウンドライン264'にそれぞれ共通に接続する。ビデオライン264には負荷抵抗265を介してビデオ電源 V_{DD} を接続する。そして行ライン261-1, 261-2…261-mは垂直走査回路266に接続し、それぞれ信号 ϕ_{G1} 、 ϕ_{G2} 、…、 ϕ_{Gm} が印加されるようになっている。また、列選

択用トランジスタ263-1, 263-2…263-n及び263-1', 263-2'…263-n'のゲート端子は、水平走査回路267に接続し、それぞれ信号 ϕ_{S1} 、 ϕ_{S2} 、…、 ϕ_{Sn} 及び各々の反転信号が印加するように構成する。

次に第33図に示した信号波形図に基いて、垂直走査信号 ϕ_G 及び水平走査信号 ϕ_S について説明する。行ラインに加えられる信号 ϕ_{G1} 、 ϕ_{G2} …は、小さい振幅の読み出しゲート電圧 $V_{\phi G}$ とそれより大きい振幅のリセット電圧 $V_{\phi R}$ より成るもので、一つの行ラインの走査期間 t_H の間は $V_{\phi G}$ 、次の行ラインの水平走査に移るまでのブランキング期間 t_{BL} には $V_{\phi R}$ の値になるように設定されている。列選択用トランジスタ263-1, 263-2…263-nのゲート端子に加えられる水平走査信号 ϕ_{S1} 、 ϕ_{S2} …は列ラインを選択するための信号で、低レベルは列選択用トランジスタ263-1, 263-2, …, 263-nをオフ、反選択用トランジスタ263-1', 263-2'…263-n'をオン、高レベルは列選択用トランジスタをオン、反選択用トラン

ジスタをオフする電圧値になるように設定されている。

次にLSITの動作原理に基いて、第32図に示した固体撮像装置の動作を説明する。垂直走査回路266の作動により、信号 ϕ_{G1} が読み出しレベル $V_{\phi G}$ になると、行ライン261-1に接続されたLSIT群260-11, 260-12…260-1nが選択され、水平走査回路267より出力される信号 ϕ_{S1} 、 ϕ_{S2} 、…、 ϕ_{Sn} により、水平選択トランジスタ263-1, 263-2…263-nが順次オンすると、順次LSIT 260-11, 260-12…260-1nの信号がビデオライン264より出力される。続いて、このLSIT群は、信号 ϕ_{G1} が高レベル $V_{\phi R}$ になった時に一斉にリセットされる。次いで、信号 ϕ_{G2} が $V_{\phi G}$ となると、行ライン260-2に接続されたLSIT群260-21, 260-22…260-2nが選択され、水平走査信号 ϕ_{S1} 、 ϕ_{S2} … ϕ_{Sn} により、LSIT 260-21, 260-22…260-2nの光信号が順次読み出され、続いて一斉にリセットされる。以下同様にして順次各画素の光信号が読み出され、

1 フィールドのビデオ信号が得られる。

本実施例において、反選択トランジスタ群 263-1', 263-2' ... 263-n' を設けたのは、非選択LSITのソースを電源 V_{DD} の電位に固定するためであるが、反選択トランジスタ群がない場合でも、ゲートに光信号を蓄積することは可能であり、したがって、本実施例の変形例として、反選択トランジスタがない固体撮像装置がある。また本実施例において読み出し時のゲート電圧 $V_{\phi G}$ を蓄積時のレベルと同レベルとすることもできる。

本実施例では、第1実施例に比べてドレインの配線が容易であり、また画素分組を簡略化することができる特徴があり、したがって一画素の微細化に有利であることを実験的に確認した。

第32図に示す第3の実施例では各LSITのドレイン端子を電源 V_{DD} に共通に接続したが、第34図に示すように、各LSITのドレイン端子を負荷抵抗 265を介して電源 V_{DD} に接続することもできる。この第4の実施例では選択されていない総

てのLSITのソース・ドレインは反選択トランジスタを介して相互接続されるため選択されたLSIT以外のLSITからは信号(反選択信号)がまったく出力されない特徴がある。その他の構成は第3実施例とまったく同一である。

第35図はソース・ドレイン選択方式を採用した本発明の固体撮像装置の第5の実施例を示すものである。第35図に示すように、本実施例の固体撮像装置は、LSIT 270-11, 270-12... 270-1nが、マトリックス状に配置され、XYアドレス方式により信号を読み出すように構成されている。すなわち各画素を構成するLSITのゲート端子は接地されており、X方向に配列された各行のLSIT群のソース端子は、行ライン 271-1, 271-2, 271-3... にそれぞれ接続されている。

またY方向に配列された各列のLSIT群のドレイン端子は、列ライン 272-1, 272-2... 272-nに接続され、これらの列ラインは、それぞれ列選択用トランジスタ 273-1, 273-2... 273-n および 273-1', 273-2' ... 273-n' の

を介してビデオライン 274及びビデオ電源 V_{DD} にそれぞれ共通に接続されている。ビデオライン 274は電流計 275を介してビデオ電源 V_{DD} に接続されている。そして行ライン 271-1, 271-2... 271-3... は垂直走査回路 276に接続され、それぞれ信号 ϕ_{S1} , ϕ_{S2} , ..., ϕ_{Sm} が加わるようになっている。また、列選択用トランジスタ 273-1, 273-2... 273-n および 273-1', 273-2' ... 273-n' のゲート端子は水平走査回路 277に接続され、それぞれ信号 ϕ_{D1} , ϕ_{D2} , ..., ϕ_{Dn} およびその反転信号が加わるように構成されている。

第36図に示した波形図に基いて、垂直走査信号 ϕ_S 及び水平走査信号 ϕ_D について説明する。行ラインに加えられる信号 ϕ_{S1} , ϕ_{S2} ... は、小さい振幅の読み出しソース電圧 $V_{\phi S}$ とそれより大きい振幅のリセット電圧 $V_{\phi R}$ より成るもので、一つの行ラインの走査期間 t_H の間は $V_{\phi S}$ 、次の行ラインの水平走査に移るまでのブランキング期間 t_{BL} には $V_{\phi R}$ の値になるように設定されている。列選

択用トランジスタ 273-1, 273-2... 273-n のゲート端子に加えられる水平走査信号 ϕ_{D1} , ϕ_{D2} ... は列ラインを選択するための信号で、低レベルは列選択用トランジスタ 273-1, 273-2... 273-n をオフ、反選択用トランジスタ 273-1', 273-2' ... 273-n' をオン、高レベルは列選択用トランジスタをオン、反選択用トランジスタをオフする電圧値になるように設定されている。

次にLSITの動作原理に基いて、第35図に示した固体撮像装置の動作を説明する。垂直走査回路 276の作動により、信号 ϕ_{S1} が $V_{\phi S}$ になると、行ライン 271-1に接続されたLSIT群 270-11, 270-12... 270-1nが選択され、水平走査回路 277より出力される信号 ϕ_{D1} , ϕ_{D2} ... ϕ_{Dn} により、水平選択トランジスタ 273-1, 273-2... 273-n が順次オンすると、順次LSIT 270-11, 270-12... 270-1nの信号がビデオライン 274より出力される。続いて、このLSIT群は、ブランキング期間 t_{BL} 中信号 ϕ_{S1} が高レベル $V_{\phi R}$

(発明の効果)

になった時に一斉にリセットされる。次いで、信号 ϕ_{S2} が $V_{\phi S}$ となると、行ライン271-2に接続されたLSIT群270-21, 270-22... 270-2nが選択され、水平走査信号 ϕ_{D1} , ϕ_{D2} , ..., ϕ_{Dn} により、LSIT 270-21, 270-22... 270-2nの光信号が順次読み出され、続いて一斉にリセットされる。以下同様にして順次各画素の光信号が読み出され、1フィールドのビデオ電流信号が得られる。

本実施例において、反選択トランジスタ群273-1', 273-2' ... 273-n'を設けたのは、非選択LSITのドレインを電源 V_{DD} の電位に固定するためであるが、反選択トランジスタ群がない場合でも、ゲートに光信号が蓄積される事は可能であり、したがって、本実施例の変形例として、反選択トランジスタがない固体撮像装置が考えられる。

本実施例の特徴は、選択されたLSIT以外のLSITからは信号(反選択信号)がまったく出力されない点である。

得ることができる。

更にまた、本発明に係わる固体撮像素子は、デバイスサイズの微細化が可能なので、集積化に有利であり、三次元積層化デバイスにも適するものである。

さらに本発明の固体撮像装置によれば、光信号蓄積時にソースおよびドレイン領域を逆バイアスし、信号読み出し時にソースまたはドレイン領域を接地するようにしたため、蓄積時には光電荷がゲート領域に良好に蓄積され、読み出し時にはこの蓄積された光電荷に応じたソース・ドレイン電流を得ることができ、良好な光電変換動作を実現することができ、入射光量に適切に対応した出力信号が得られる。また入射光強度に応じて蓄積時間を調整したり、ゲート読み出し電圧を調整することにより、種々の入射条件の下でも常に最適の光電変換動作を達成することができる。さらに、信号読み出し方法としては、ゲート・ドレイン選択方式、ソース・ゲート選択方式、ソース・ドレイン選択方式を任意に選ぶことができるので設計

以上詳細に説明したように、本発明の固体撮像素子は静電誘導トランジスタを基本構成としているので、光電変換機能のみならず、増幅機能も持たせることができ、したがって、 S/N をMOSトランジスタやCCDのような増幅機能のない素子を用いた装置より大きくすることができると共に、ソース、ドレイン、ゲート領域を半導体層の表面に形成した横形構造としたので、寸法規制が、縦形構造ほど厳しくなく、寸法制御が容易であり、光増幅率及び光感度を容易に向上させることができ、プロセスも簡単である。また、周辺デバイスをMOSで構成するときは、そのMOSプロセスとのプロセス融合性が高く、一層プロセス能率を向上させることができ、また、縦形構造よりも端子の配置関係の自由度を大きくすることもできる。さらにソース、ドレイン領域の少なくとも一方をゲート領域で囲む構成としたため、チャネル領域の面積を広くすることができ、光電荷を交互にゲート領域に蓄積でき、したがった良好な S/N を

の自由度は大幅に向上し、それぞれの要求に応じた最適の選択方式を採用することができる。

4. 図面の簡単な説明

第1図は従来の縦形SITの構成を示す断面図、

第2図は本発明の固体撮像装置に適用可能な横形SITの一例の構成を示す断面図、

第3図AおよびBは本発明の固体撮像素子の第1実施例を示す平面図および断面図、

第4図AおよびBは同じく第2実施例を示す平面図および断面図、

第5図AおよびBは同じく第3実施例を示す平面図および断面図、

第6図AおよびBは同じく第4実施例を示す平面図および断面図、

第7図AおよびBは同じく第5実施例を示す平面図および断面図、

第8図A, BおよびCは同じく第6, 7および第8実施例をそれぞれ示す断面図、

第9図AおよびBは同じく第9実施例を示す平面図および断面図、

第10図は同じく第10実施例を示す断面図、

第11図AおよびBは同じく第11実施例を示す平面図および断面図、

第12図AおよびBは同じく第12実施例を示す平面図および断面図、

第13図AおよびBは同じく第13実施例を示す平面図および断面図、

第14図は本発明の固体撮像素子の動作を説明するために第4図に示す固体撮像素子を切断して示す斜視図、

第15図は同じくその等価回路図、

第16図はゲート電圧対ソース・ドレイン電流特性をドレイン電圧をパラメータとして示すグラフ、

第17図はゲート電圧対ソース・ドレイン電流の特性を示すグラフ、

第18図は蓄積時間対ソース・ドレイン電流特性を入射光強度をパラメータとして示すグラフ、

第19図はソースホロウ形の電流電圧変換方法を示す回路図、

第20図はソース接地形の電流電圧変換方法を示す回路図、

す回路図、

第21図は蓄積時、読み出し時およびリセット時のゲート、ドレインおよびソース電圧の変化を示す信号波形図、

第22図は入射光量対出力電圧特性を示すグラフ、

第23図はドレイン電圧対出力電圧特性を示すグラフ、

第24図はドレイン電圧を制御してリセットを行なう場合の動作を示す信号波形図、

第25図は基板電圧を制御してリセットを行なうようにした動作を示す信号波形図、

第26図は入射光強度対出力電圧特性を蓄積時間をパラメータとして示すグラフ、

第27図はゲート電圧対出力電圧特性を入射光強度をパラメータとして示すグラフ、

第28図はゲートおよびドレイン電圧によって固体撮像素子の選択を行なうようにした本発明固体撮像素子の第1実施例の構成を示す回路図、

第29図は同じくその動作を説明するための信号波形図、

第30図はゲートおよびドレイン電圧によって選択を行なう第2実施例を示す回路図、

第31図は同じくその動作説明用の信号波形図、

第32図はソースおよびゲート電圧によって画素を選択するようにした第3実施例を示す回路図、

第33図は同じくその動作説明用信号波形図、

第34図は同じくソースおよびゲート電圧によって画素を選択するようにした第4実施例を示す回路図、

第35図はソースおよびドレイン電圧を制御して画素の選択を行なうようにした第5実施例を示す回路図、

第36図は同じくその動作を説明するための信号波形図である。

11, 21, 31, 41, 51, 61, 65, 67, 69, 71, 75,

81, 91, 101…固体撮像素子

12, 22, 32, 42, 52, 82…基板

13, 23, 33, 43, 53, 83…エピタキシャル層

14, 24, 34, 44, 54, 84…ソース領域

15, 25, 35, 45, 55, 85…ドレイン領域

16, 28, 38, 88…ゲート絶縁膜

17, 29, 39, 49, 59, 89…ゲート電極

18, 26, 36, 46, 56, 86…ソース電極

19, 27, 37, 47, 57, 87…ドレイン電極

20, 30, 40, 50, 60, 62, 90…分離領域

48, 58…ゲート領域 66…電極

73…ゲート領域 111…半導体基板

112…エピタキシャル層

113…ドレイン領域 114…ゲート領域

115…ゲート絶縁膜 116…ゲート電極

117…ソース端子 118…ドレイン端子

119…ゲート端子 120…基板端子

V_S …ソース電圧 V_G …ゲート電圧

V_D …ドレイン電圧 V_{SUB} …基板電圧

250-11, 250-12… 250-mn…固体撮像素子

251-1, 251-2… 251-n…行ライン

252-1, 252-2… 252-n…列ライン

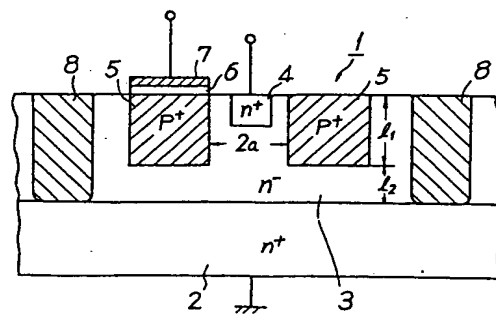
253-1, 253-2… 253-n; 253-1',

253-2'… 253-n'…列選択トランジスタ

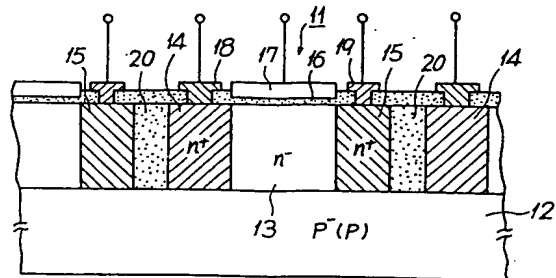
254…ビデオライン 254'…グラウンドライン

- 255…負荷抵抗 V_{DD} …ビデオ電源
 256…垂直走査回路 257…水平走査回路
 258…水平リセット回路
 260-11, 260-12… 260-mn…固体撮像素子
 261-1, 261-2… 261-m…行ライン
 262-1, 262-2… 262-n…列ライン
 263-1, 263-2… 263-n; 263-1',
 263-2'… 263-n'…列選択用トランジスタ
 264…ビデオライン 265…負荷抵抗
 266…垂直走査回路 267…水平走査回路
 270-11, 270-12… 270-mn…固体撮像素子
 271-1, 271-2… 271-m…行ライン
 272-1, 272-2… 272-n…列ライン
 273-1, 273-2… 273-n; 273-1',
 273-2'… 273-n'…列選択用トランジスタ
 274…ビデオライン 275…電流計
 276…垂直走査回路 277…水平走査回路。

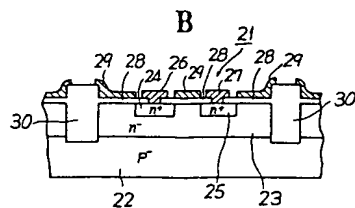
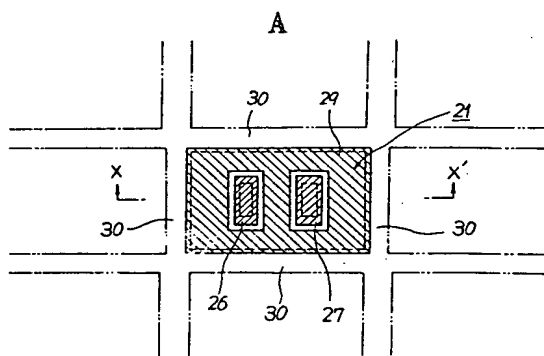
第1図



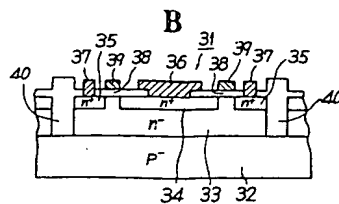
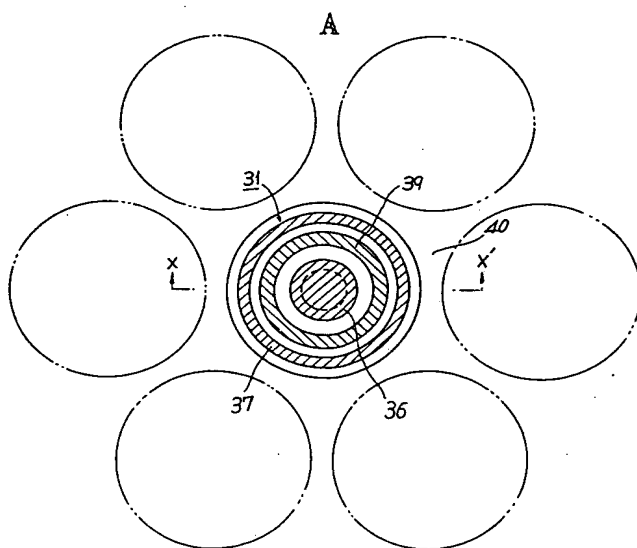
第2図



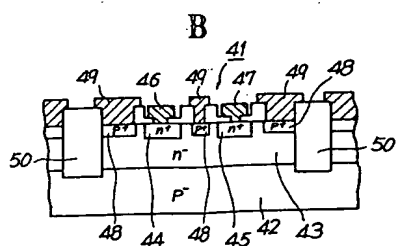
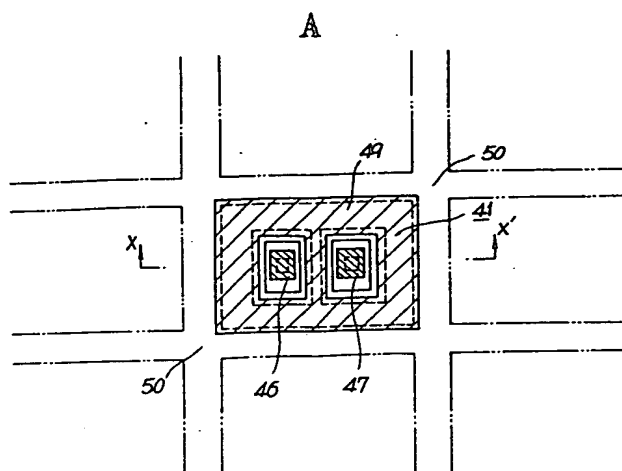
第3図



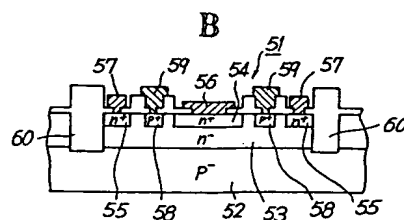
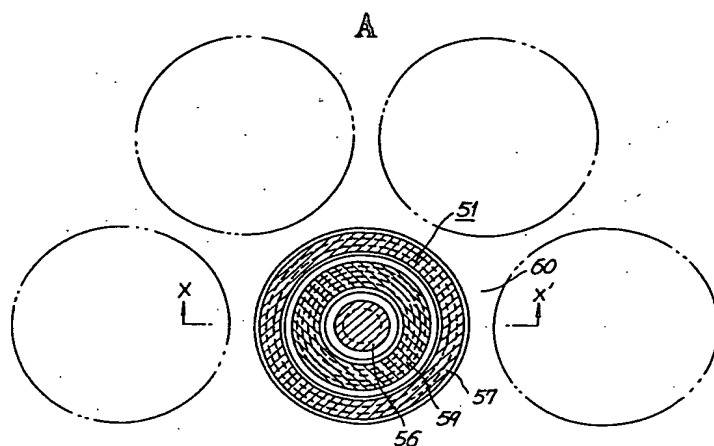
第4図



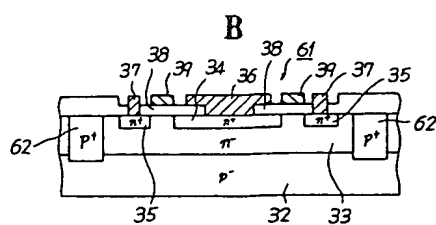
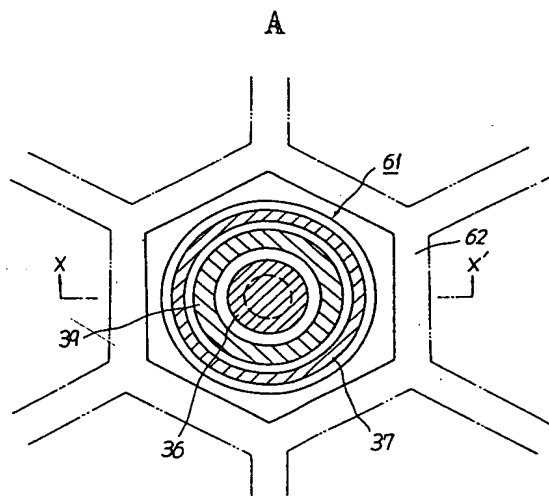
第5図



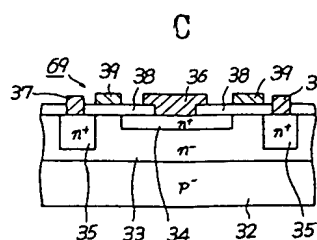
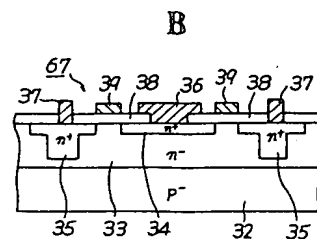
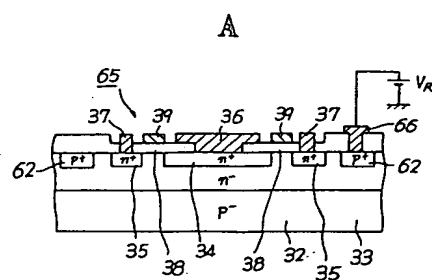
第6図



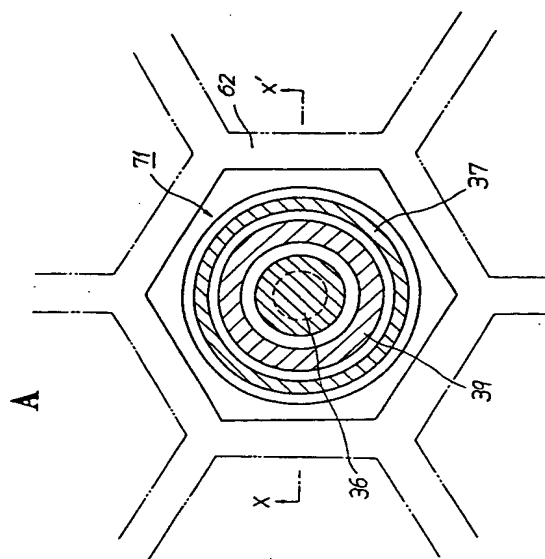
第7図



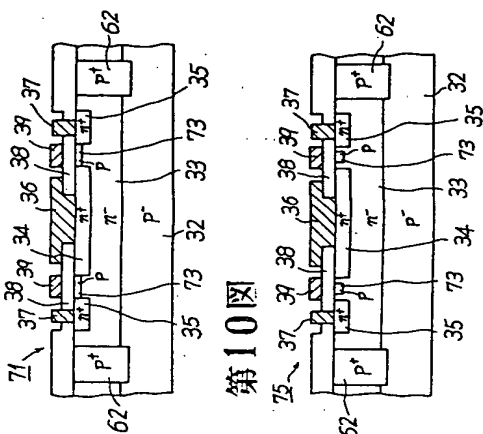
第8図



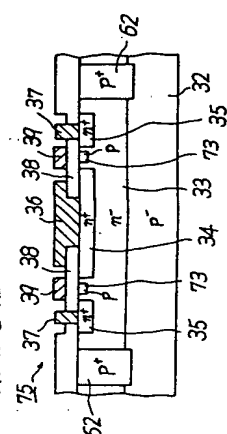
第9図



B

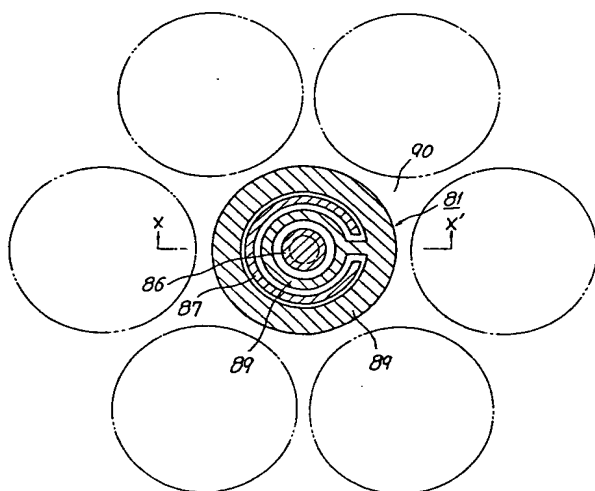


第10図

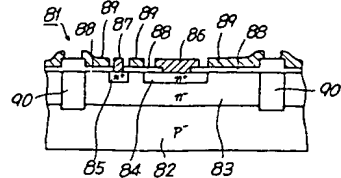


第11図

A

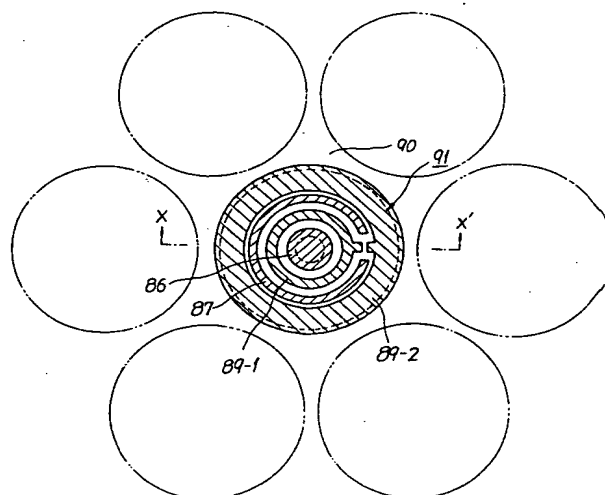


B

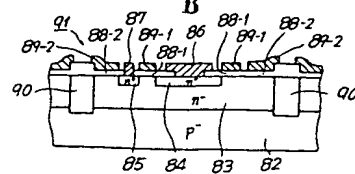


第12図

A

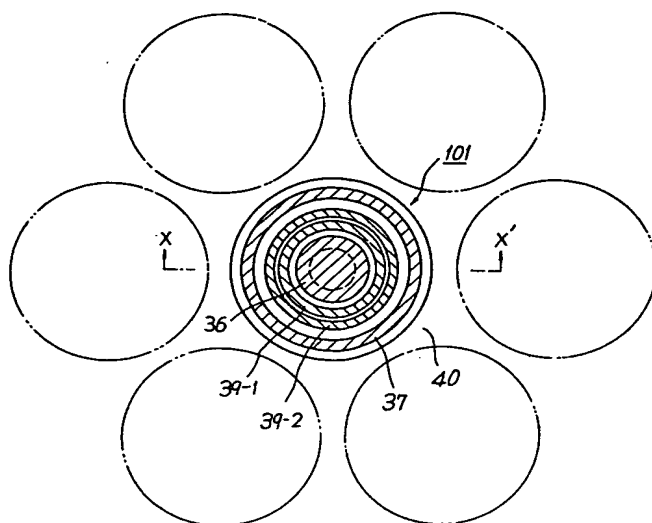


B

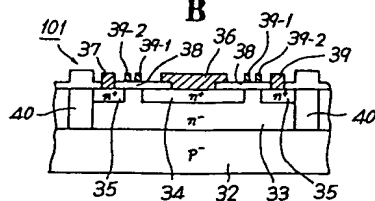


第13図

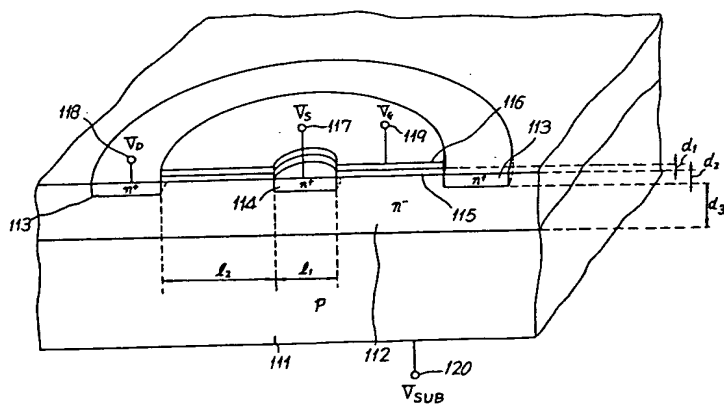
A



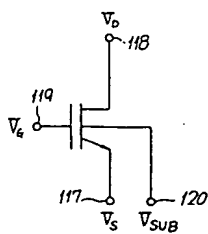
B



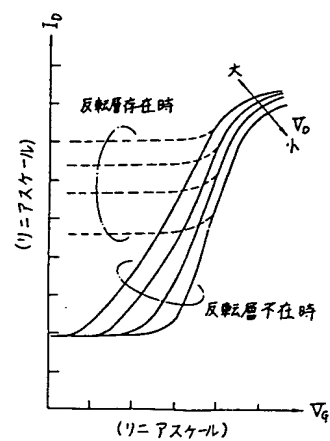
第14図



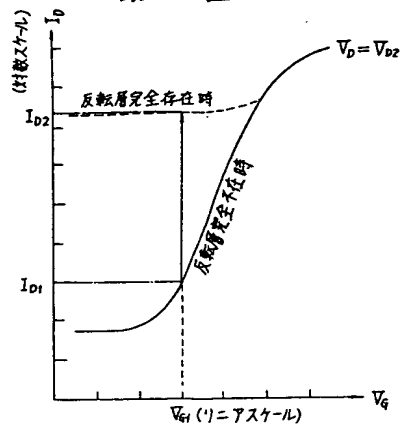
第15図



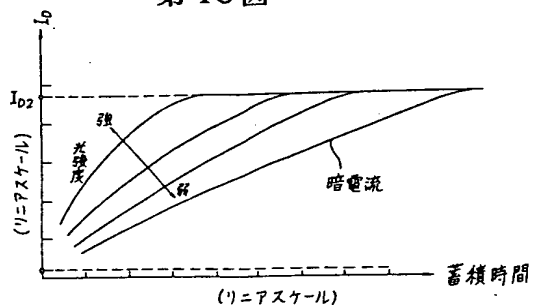
第16図



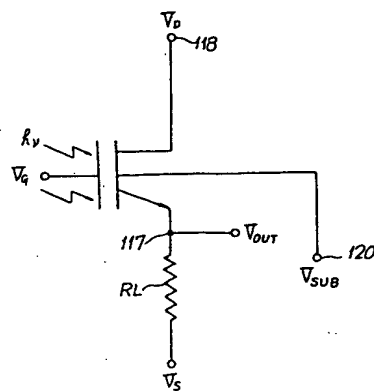
第17図



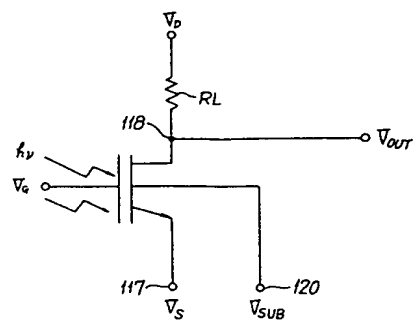
第18図



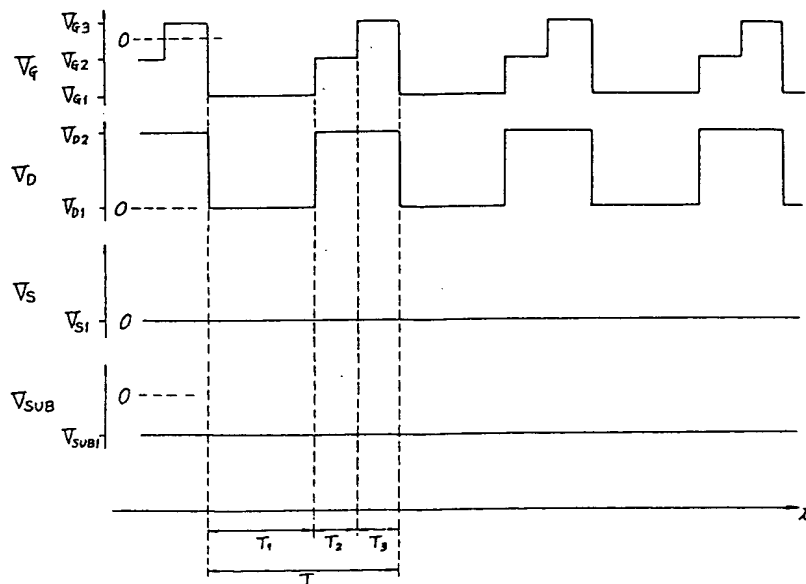
第19図



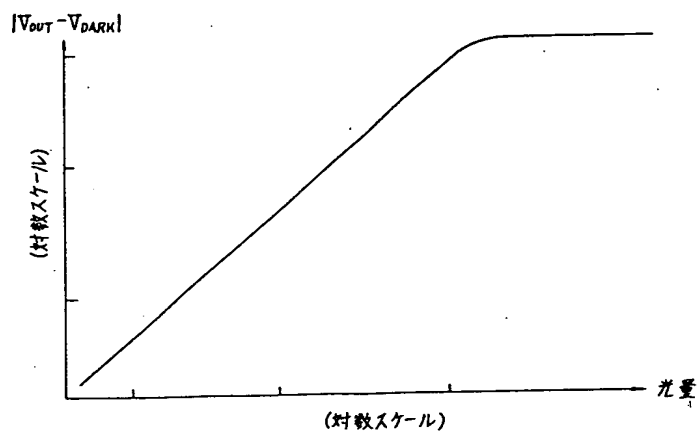
第20図



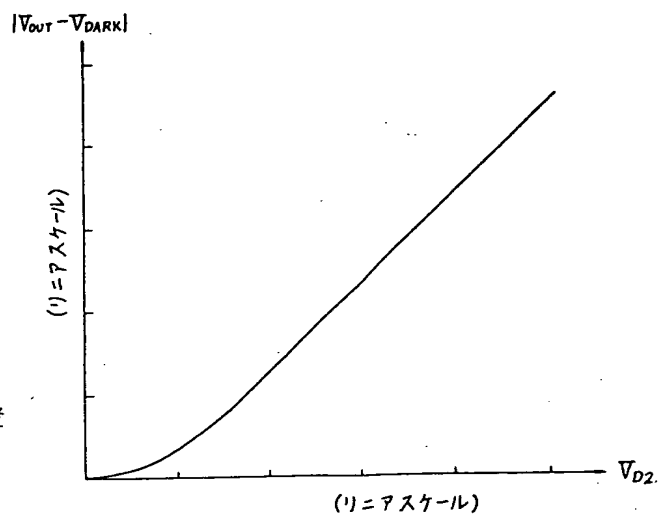
第21図



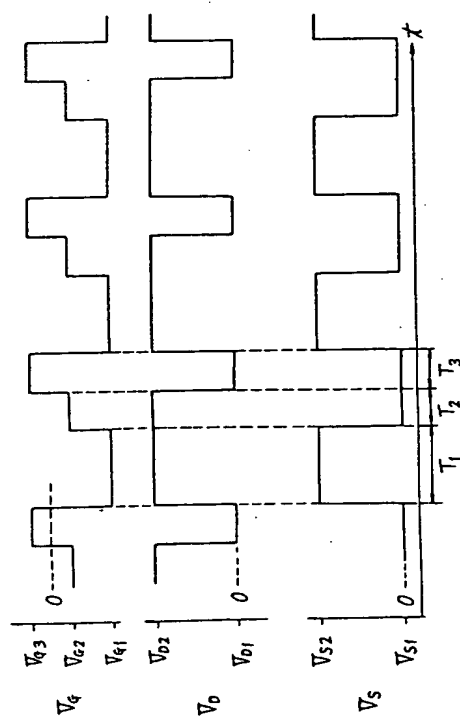
第22図



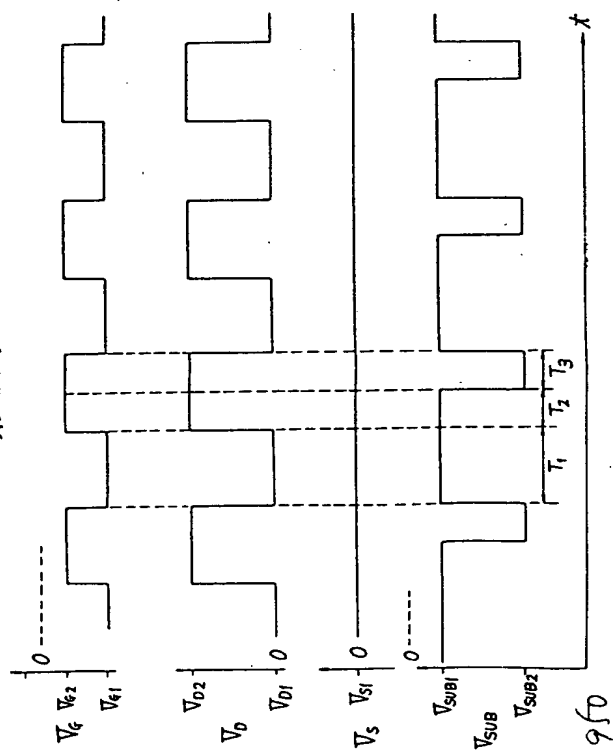
第23図



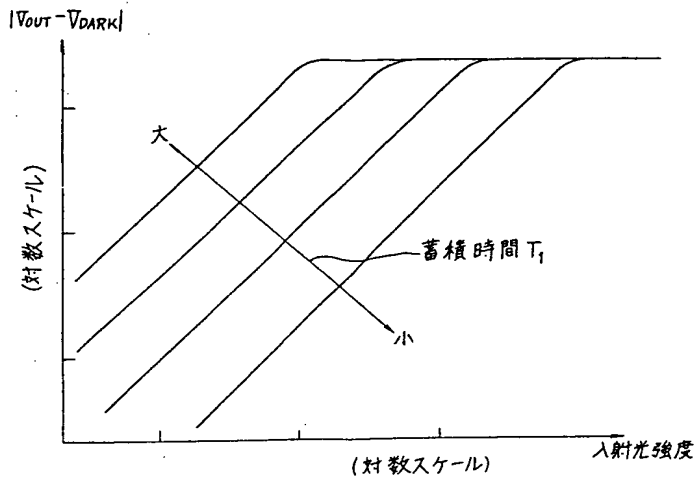
第24図



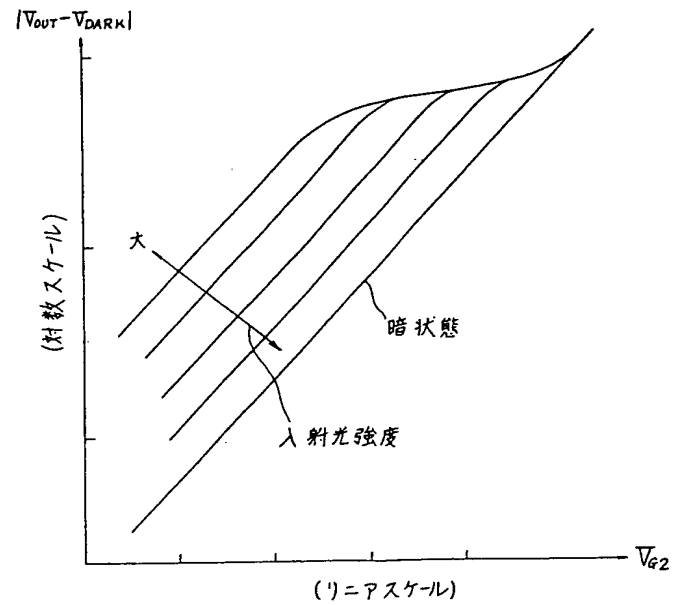
第25図



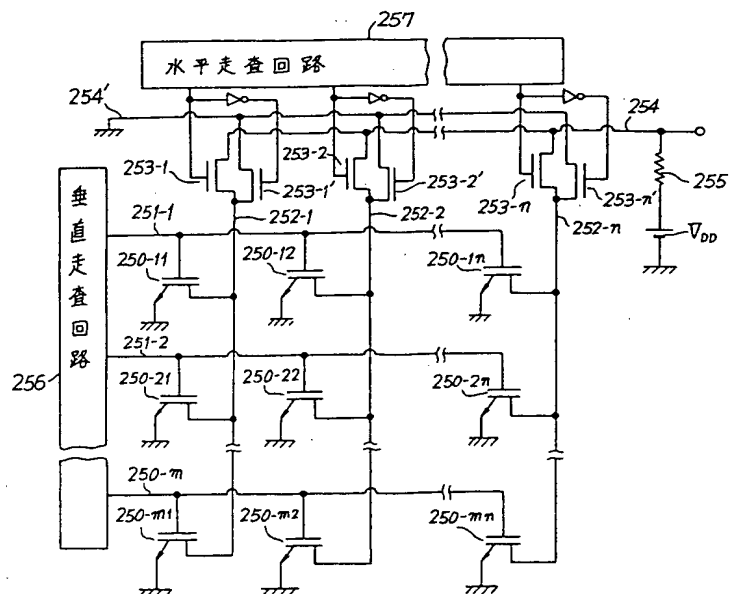
第 26 図



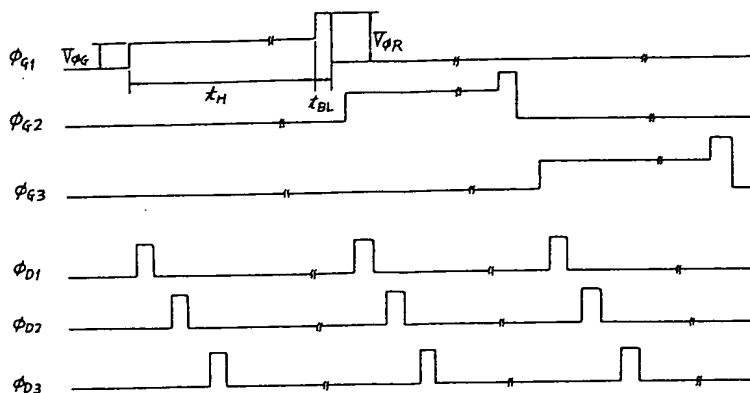
第 27 図



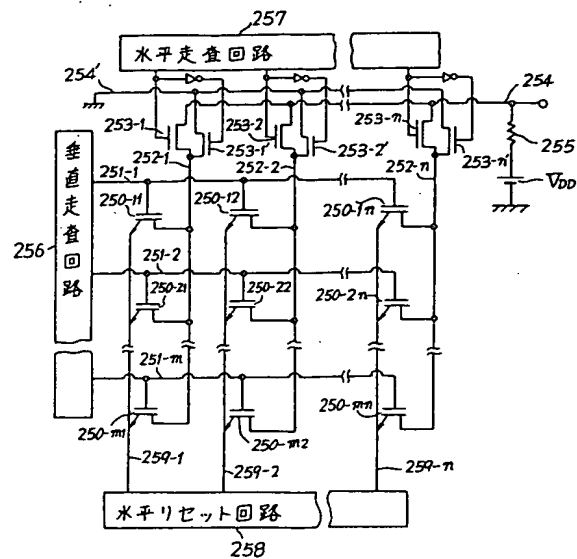
第 28 図



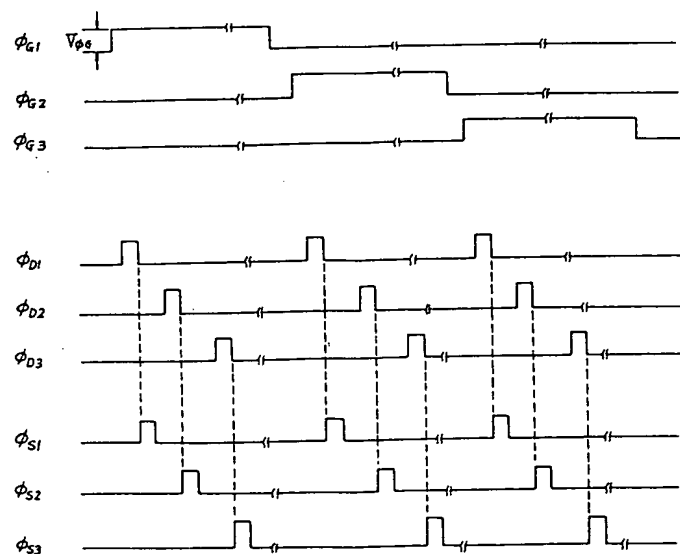
第29図



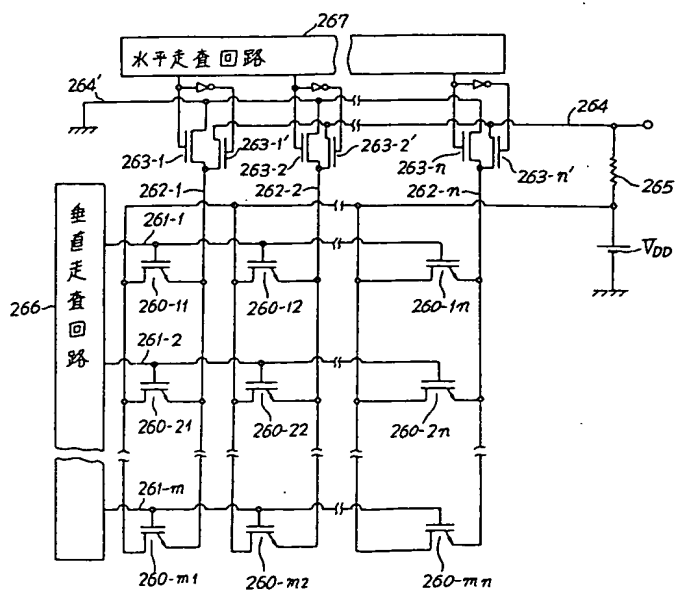
第30図



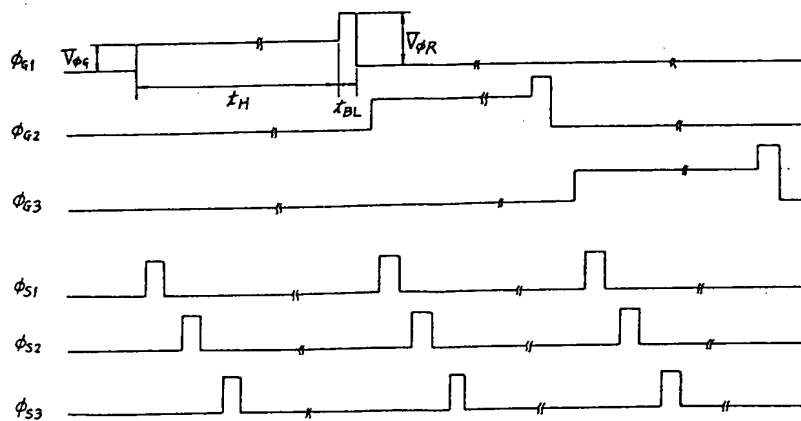
第31図



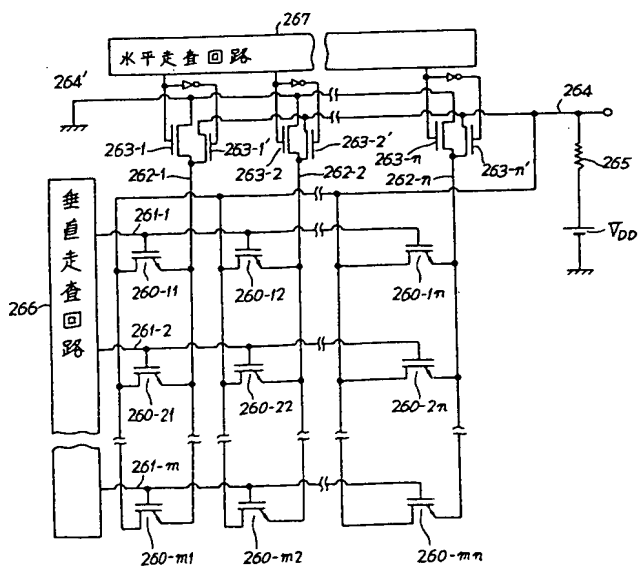
第32図



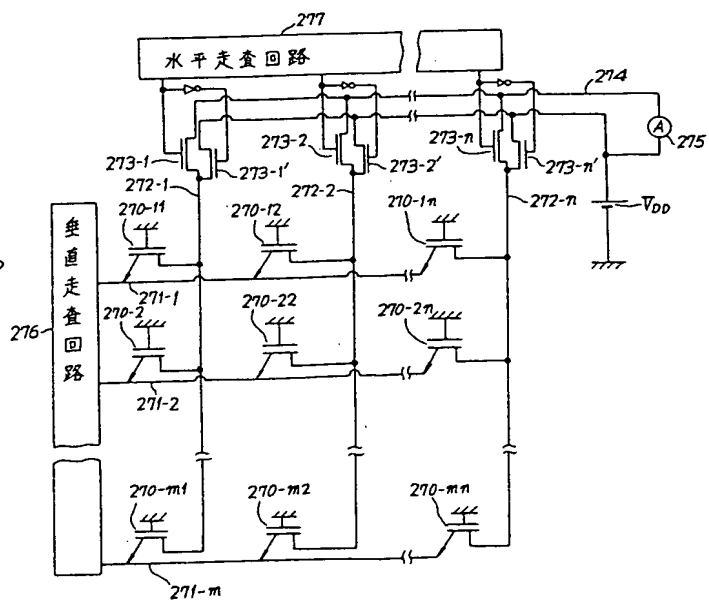
第33図



第34図

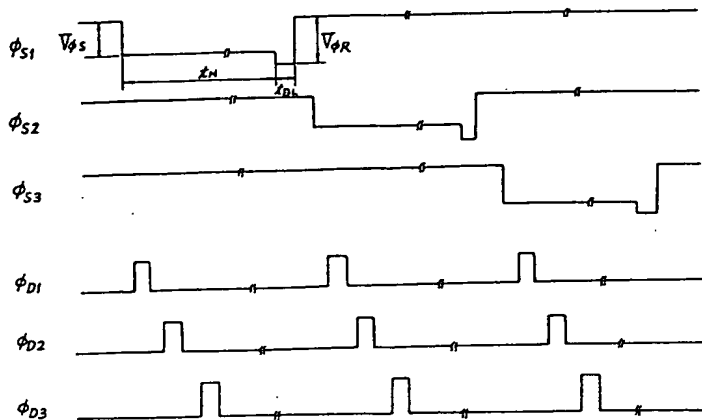


第35図



昭和60年 4月24日

第36図



特許庁長官 志 賀 学 殿

1. 事件の表示

昭和59年 特 許 願 第 59525号

2. 発明の名称

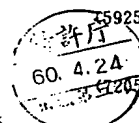
固体撮像素子および固体撮像装置

3. 補正をする者

事件との関係 特許出願人

(037) オリンパス光学工業株式会社

4. 代 理 人

〒100 東京都千代田区霞が関三丁目2番4号
霞山ビルディング7階 電話 (581) 2241番(代表)5925) 弁理士 杉 村 暁 秀
同 所
5925) 弁理士 杉 村 興 作

5.

6. 補正の対象

明細書の「特許請求の範囲」「発明の詳細な説明」
の欄、図面

7. 補正の内容(別紙の通り)

1. 明細書第1頁第4行～第7頁第2行間を下記の通り訂正する。

「2. 特許請求の範囲

1. 絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、静電誘導トランジスタのソース領域およびドレイン領域を設けると共に、これらソース領域およびドレイン領域の少なく共一方の領域を完全に囲むように光信号を蓄積するゲート領域を設け、前記半導体層の表面と平行にソース・ドレイン電流が流れるように構成したことを特徴とする固体撮像素子。
2. 前記ゲート領域を、前記ソース領域およびドレイン領域の双方を完全に囲むように設けたことを特徴とする特許請求の範囲第1項記載の固体撮像素子。
3. 前記ソース領域またはドレイン領域を完全に囲むように前記ゲート領域を設けると共に、このゲート領域の外側に前記

ドレイン領域またはソース領域を設けることを特徴とする特許請求の範囲第1または2項記載の固体撮像素子。

4. 前記半導体層の、前記ソース領域、ドレイン領域およびゲート領域を形成する領域を、該半導体層とは逆導電形の拡散層より成る分離領域によって取囲んだことを特徴とする特許請求の範囲第1、2または3項記載の固体撮像素子。
5. 前記分離領域を、最外側に形成したドレイン領域またはソース領域をもって構成したことを特徴とする特許請求の範囲第4項記載の固体撮像素子。
6. 前記ゲート領域を複数個設けたことを特徴とする特許請求の範囲第1、2、3、4または5項記載の固体撮像素子。
7. 前記ゲート領域を、前記半導体層中に形成した逆導電形の領域と、この領域に接合して設けたゲート電極とより成る接合ゲート構造をもって構成したことを特

- 徴とする特許請求の範囲第1, 2, 3, 4, 5または6項記載の固体撮像素子。
8. 前記ゲート領域を、前記半導体層表面に絶縁膜を介してゲート電極を設けた絶縁ゲート構造をもって構成したことを特徴とする特許請求の範囲第1, 2, 3, 4, 5または6項記載の固体撮像素子。
9. 前記絶縁膜に接する前記半導体層表面に、該半導体層とは逆導電形のゲート領域を設けたことを特徴とする特許請求の範囲第8項記載の固体撮像素子。
10. 前記ソース領域、ドレイン領域およびゲート領域を同心円状に設けたことを特徴とする特許請求の範囲第1, 2, 3, 4, 5, 6, 7, 8または9項記載の固体撮像素子。
11. 絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なくとも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタを具える固体撮像素子を多数マトリックス状に配列したアレイと、このアレイの順次の固体撮像素子を、光電荷をゲート領域に蓄積する光信号蓄積時間中はソースおよびドレイン領域を逆バイアスして出力信号が生じないようにし、信号読み出し時間中はソースまたはドレイン領域を接地してゲート領域に蓄積された光電荷に応じたソース・ドレイン電流をビデオラインに流す走査手段とを具えることを特徴とする固体撮像装置。
12. 信号読み出し時に前記ソースまたはドレイン領域を接地して、ゲート領域に蓄積された光電荷に応じたソース・ドレイン電流を流す手段を設けたことを特徴とする特許請求の範囲第11項記載の固体撮像装置。
13. 信号読み出し手段による信号の読み出しを終了した後に、前記ゲート領域に蓄積されている光電荷を放出させるリセット手段を設けたことを特徴とする特許請求の範囲第11項記載の固体撮像装置。
14. 前記リセット手段を、半導体基体の逆バイアスを大きくしてゲート領域に蓄積
15. 前記読み出し手段による読み出し時にゲート電圧を入射光強度に応じて調整する手段を設けたことを特徴とする特許請求の範囲第13項記載の固体撮像装置。
16. 絶縁物または高抵抗半導体基体上に形成した半導体層の表面に、ソース領域およびドレイン領域を設けると共に少なくとも一部分をこれらソース領域およびドレイン領域の間に形成したゲート領域を設け、半導体層の表面と平行にソース・ドレイン電流が流れるように構成した静電誘導トランジスタを具える固体撮像素子を多数マトリックス状に配列したアレイと、このアレイの順次の固体撮像素子を、光電荷をゲート領域に蓄積する光信号蓄積時間中はソースおよびドレイン領域を逆バイアスして出力信号が生じない
17. 前記走査手段は、各固体撮像素子のソース端子を定電位に接続し、ゲートおよびドレイン端子を水平および垂直走査回路に接続し、ゲートおよびドレイン電圧を制御して各固体撮像素子を順次を選択するよう構成したことを特徴とする特許請求の範囲第16項記載の固体撮像装置。
18. 前記走査手段は、各固体撮像素子のドレイン端子を定電位に接続し、ゲートおよびソース端子を水平および垂直走査回路に接続し、ゲートおよびソース電圧を制御して各固体撮像素子を順次を選択するよう構成したことを特徴とする特許請求の範囲第16項記載の固体撮像装置。

19. 前記走査手段は、各固体撮像素子のゲート端子を定電位に接続し、ソースおよびドレイン端子を水平および垂直走査回路に接続し、ソースおよびドレイン電圧を制御して各固体撮像素子を順次を選択するよう構成したことを特徴とする特許請求の範囲第16項記載の固体撮像装置。」
2. 明細書第12頁第12行「 $(V > 0)$ 」を「 $(V < 0)$ 」に訂正する。
3. 同第13頁第19行～第20行「できなかったので、」を「できなかったの、」に訂正する。
4. 同第17頁第2行「22」を「21」に訂正する。
5. 同第26頁第11行～第12行「チャネル」を「ゲート」に訂正する。
6. 同第30頁第17行「ゲート電極を」を「ゲート電極と」に訂正する。
7. 同第34頁第3行「およびソース領域」を「およびソース領域」に訂正する。
8. 同第35頁第8行「平行状態」を「平衡状態」に訂正する。
9. 同第35頁第15行「 (> 0) 」を「 (< 0) 」に訂正する。
10. 同第38頁第7行「117」を「118」に訂正する。
11. 同第44頁第14行「したがって。」を「したがって、」に訂正する。
12. 同第49頁第12行～第13行「ゲート電圧 ϕ 。は」
- を「垂直走査信号 ϕ 。の電圧を」に訂正する。
13. 同第50頁第17行～第18行「ゲート電圧」を「信号」に訂正する。
14. 同第51頁第19行「ソース・ドレイン」を「ソース・ゲート」に訂正する。
15. 同第52頁第16行～第17行「に接続する。----を接続する。」を「に接続し、ビデオライン264は負荷抵抗265を介して接地する。」に訂正する。
16. 同第54頁第15行「260」を「261」に訂正する。
17. 同第55頁第15行「確認した。」の次に「また、各画素信号をソースフォロワー形式で読出すようにしたので、ドレイン寄生容量の影響が少ないと共に列ラインの負荷容量を小さくでき、高速読出しに有利である。」を加入する。
18. 同第55頁第18行「ドレイン端子を」を「ドレイン端子をビデオライン264に接続し、このビデオライン264を」に訂正する。
20. 同第56頁第15行「271-2.271-m」を「271-2, ---.271-m」に訂正する。
21. 図面中第8図A、第27図、第28図、第31図、第32図、第34図、第35図を別紙訂正図の通り訂正致します。

代理人弁理士 杉 村 暁 秀
外1名

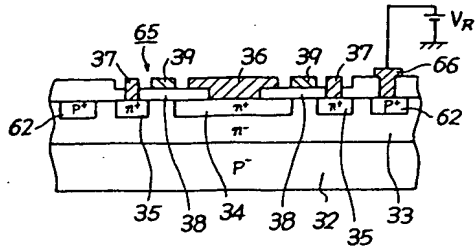


(訂正図)

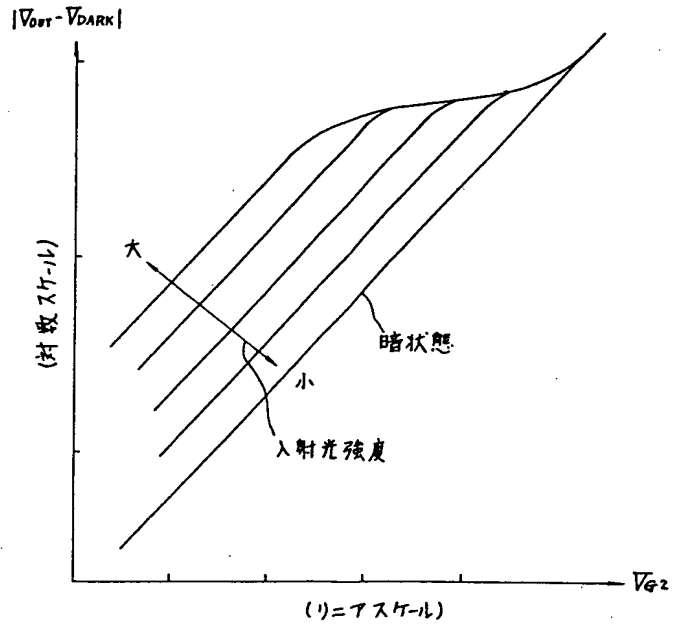
第 8 図

A

(訂正図)

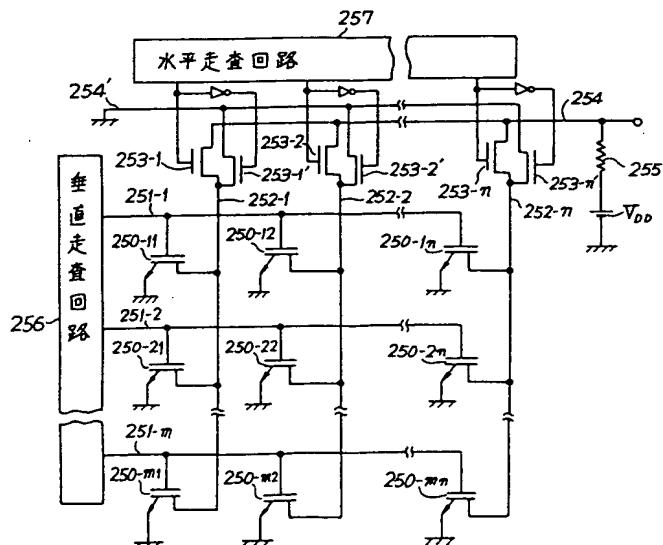


第27図



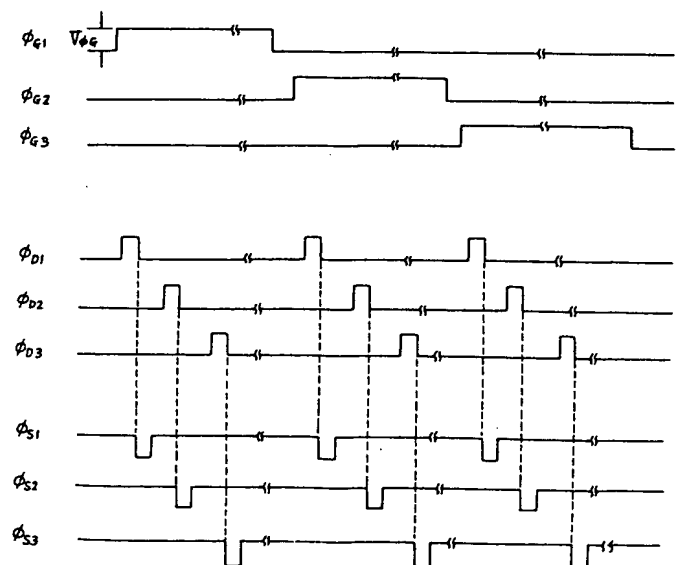
第 28 図

(訂正図)



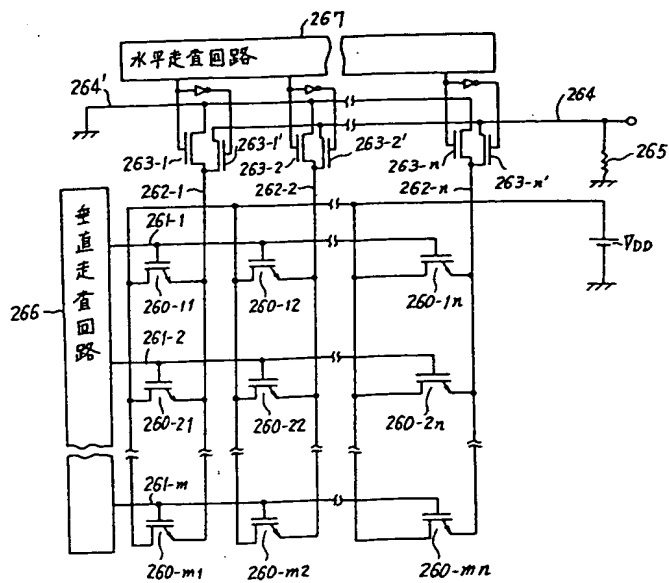
第 31 図

(訂正図)



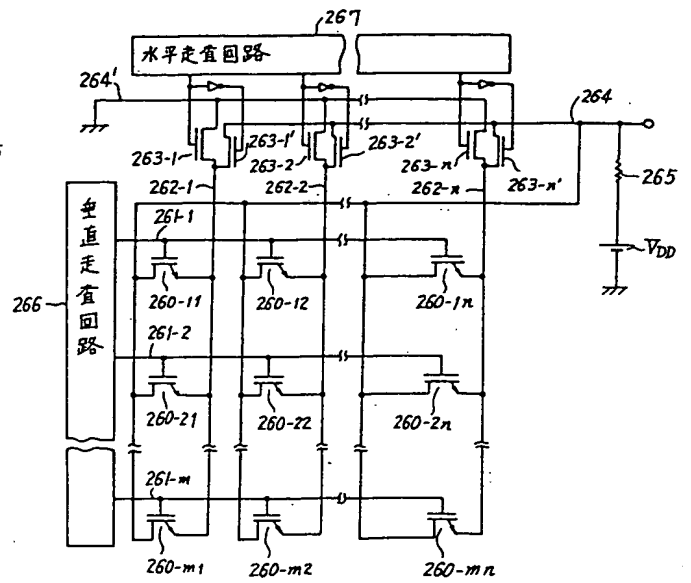
(訂正図)

第32図



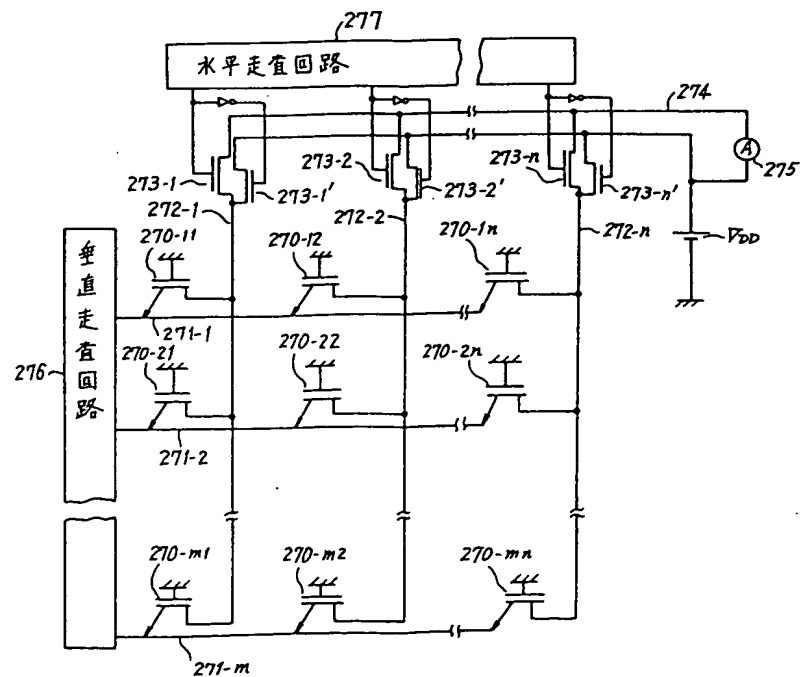
(訂正図)

第34図



(訂正図)

第35図



THIS PAGE BLANK (USPTO)